

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-195778

(43)Date of publication of application : 21.07.1999

(51)Int.Cl.

H01L 27/146

H04N 5/335

(21)Application number : 10-186453

(71)Applicant : INO VISION KK

(22)Date of filing : 01.07.1998

(72)Inventor : MITSUIDA TAKASHI

(30)Priority

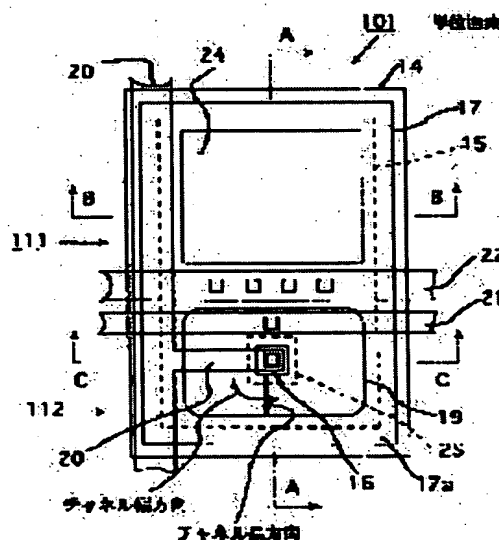
Priority number : 09334728 Priority date : 30.10.1997 Priority country : JP

(54) SOLID-STATE IMAGE-PICKUP DEVICE AND DETECTION OF LIGHT SIGNAL THEREFROM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a solid-state image-pickup device which can improve spectral sensitivity characteristics and conversion efficiency, and can offer superior linear photoelectric conversion characteristics, by reducing noise caused by surface capture or scattering of light-generated charge.

SOLUTION: Positive holes generated in a well region 15 by light illumination are guided to and embedded into a high-concentration buried layer 25, which has an impurity concentration higher than that of the well region 15, and which is embedded in the vicinity of a source diffused region 16 of an insulated gate type field effect transistor formed within the well region 15. The threshold of the transistor is changed by changing the quantity of the stored holes to detect a change in the threshold as the quantity of received light.



LEGAL STATUS

[Date of request for examination] 01.07.1998
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 2935492
[Date of registration] 04.06.1999
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-195778

(43) 公開日 平成11年(1999) 7月21日

(51) Int.Cl.⁹

識別記号

F I

H 0 1 L 27/146

H 0 1 L 27/14

A

H 0 4 N 5/335

H 0 4 N 5/335

P

審査請求 有 請求項の数14 O L (全 16 頁)

(21) 出願番号 特願平10-186453

(22) 出願日 平成10年(1998) 7月 1 日

(31) 優先権主張番号 特願平9-334728

(32) 優先日 平 9 (1997) 10月30日

(33) 優先権主張国 日本 (J P)

(71) 出願人 398035800

イノベーション株式会社

神奈川県横浜市港北区新横浜 2-15-10

(72) 発明者 三井田 ▲高▼

横浜市港北区新横浜 2-15-10 イノビ
ジョン株式会社内

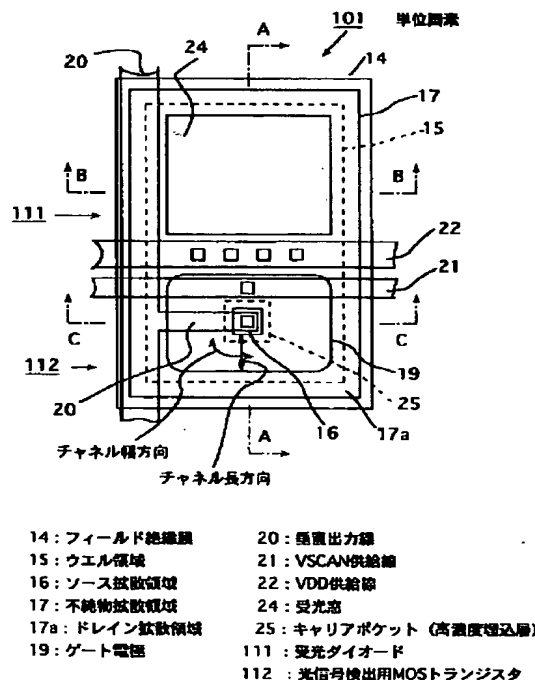
(74) 代理人 弁理士 岡本 啓三

(54) 【発明の名称】 固体撮像素子及び固体撮像素子による光信号検出方法

(57) 【要約】

【課題】 本発明は固体撮像素子による光検出方法に関し、光発生電荷の表面捕獲或いは散乱に起因する雑音を低減し、分光感度特性や変換効率の向上を図るとともに、直線性に優れた光電変換特性を得る。

【解決手段】 光照射によってウェル領域 15 内に発生した光発生正孔をウェル領域 15 内に形成した絶縁ゲート型電界効果トランジスタのソース拡散領域 16 の近辺に埋め込まれた、ウェル領域 15 よりも高い不純物濃度を有する高濃度埋込層 25 に導いて蓄積させ、蓄積した光発生正孔の量により絶縁ゲート型電界効果トランジスタの閾値を変化させ、閾値の変化量を受光量として検出する。



【特許請求の範囲】

【請求項 1】 受光ダイオードと光信号検出用の絶縁ゲート型電界効果トランジスタとを備えた単位画素が複数配列された固体撮像素子において、

前記受光ダイオードは、一導電型の半導体基板上の反対導電型の半導体層に形成された一導電型のウエル領域と、前記ウエル領域の表層に形成された反対導電型の不純物拡散領域とを有し、

前記絶縁ゲート型電界効果トランジスタは、前記ウエル領域の表層に前記不純物拡散領域と一体的に形成された反対導電型のドレイン拡散領域と、前記ウエル領域の表層に前記ドレイン拡散領域と間隔を置いて形成された反対導電型のソース拡散領域と、前記ドレイン拡散領域と前記ソース拡散領域との間のウエル領域上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極下のウエル領域の表層の電流担体が移動する、反対導電型の不純物層を有するチャネル領域と、前記チャネル領域の下のウエル領域内のソース拡散領域の近辺に前記ウエル領域よりも高い不純物濃度を有する一導電型の高濃度埋込層とを有することを特徴とする固体撮像素子。

【請求項 2】 前記高濃度埋込層はチャネル幅方向全域にわたって形成されていることを特徴とする請求項 1 に記載の固体撮像素子。

【請求項 3】 前記ソース拡散領域の近辺は、前記ドレイン拡散領域から前記ソース拡散領域に至るチャネル長方向の一部領域であって、前記ソース拡散領域側であることを特徴とする請求項 1 又は 2 に記載の固体撮像素子。

【請求項 4】 前記ゲート電極はリング状を有し、前記ソース拡散領域は前記ゲート電極の中央部の前記ウエル領域の表層に形成されており、前記ドレイン拡散領域は前記ゲート電極を囲むように前記ウエル領域の表層に形成されており、前記高濃度埋込層は前記ソース拡散領域を囲むように前記ウエル領域内に形成されていることを特徴とする請求項 1 乃至 3 のいずれかに記載の固体撮像素子。

【請求項 5】 前記絶縁ゲート型電界効果トランジスタのゲート電極及びその周辺は遮光されていることを特徴とする請求項 1 乃至 4 のいずれかに記載の固体撮像素子。

【請求項 6】 前記絶縁ゲート型電界効果トランジスタのソース拡散領域に負荷回路が接続されてソースフォロワ回路を構成していることを特徴とする請求項 1 乃至 5 のいずれかに記載の固体撮像素子。

【請求項 7】 前記ソースフォロワ回路のソース出力は映像信号出力に接続されていることを特徴とする請求項 6 に記載の固体撮像素子。

【請求項 8】 前記単位画素は行方向及び列方向に並んでいることを特徴とする請求項 1 乃至 7 のいずれかに記載の固体撮像素子。

【請求項 9】 前記行方向に並ぶ前記各単位画素の絶縁ゲート型電界効果トランジスタのドレイン拡散領域がともに接続され、前記行毎にドレイン電圧を送るドレイン電圧供給線と、

前記行方向に並ぶ前記各単位画素の絶縁ゲート型電界効果トランジスタのゲート電極がともに接続され、前記行毎に垂直走査信号を伝える垂直走査信号供給線と、

前記列方向に並ぶ前記各単位画素の絶縁ゲート型電界効果トランジスタのソース拡散領域がともに接続された、

前記列毎に設けられた複数の垂直出力線と、

前記各垂直出力線がそれぞれ接続された光検出信号入力端子と、光検出信号出力端子と、水平走査信号入力端子とを有し、前記列毎に設けられたスイッチと、

前記各スイッチの光検出信号出力端子がともに接続された共通の水平出力線と、

前記複数の垂直出力線のうちの一つを選択する水平走査信号を前記スイッチの水平走査信号入力端子に伝える水平走査信号供給線と、

前記ドレイン電圧供給線が接続され、行毎に選択的にドレイン電圧を供給するドレイン電圧駆動走査回路と、

前記垂直走査信号供給線が接続され、行毎に選択的に垂直走査信号を供給する垂直走査信号駆動走査回路と、

前記水平走査信号供給線が接続され、列毎に選択的に水平走査信号を供給する水平走査信号駆動走査回路と、

前記水平出力線に接続され、前記駆動走査回路により選択された一つの前記絶縁ゲート型電界効果トランジスタとの間でソースフォロワを形成する負荷回路と、

前記ソースフォロワのソース出力に接続された映像信号出力とを有することを特徴とする請求項 8 に記載の固体撮像素子。

【請求項 10】 前記固体撮像素子は一つの前記半導体基板上に形成されていることを特徴とする請求項 1 乃至 9 のいずれかに記載の固体撮像素子。

【請求項 11】 光照射によって p 型のウエル領域内に発生した電子及び正孔のうち該光発生正孔を前記ウエル領域内に形成した絶縁ゲート型電界効果トランジスタの n 型のソース拡散領域の近辺に埋め込まれた、前記ウエル領域よりも高濃度の p 型の高濃度埋込層に導いて蓄積させ、該蓄積した光発生正孔の量により前記絶縁ゲート型電界効果トランジスタの閾値を変化させ、該閾値の変化量を受光量として検出することを特徴とする固体撮像素子による光信号検出方法。

【請求項 12】 光照射によって n 型のウエル領域内に発生した電子及び正孔のうち該光発生電子を前記ウエル領域内に形成した絶縁ゲート型電界効果トランジスタの p 型のソース拡散領域の近辺に埋め込まれた、前記ウエル領域よりも高濃度の n 型の高濃度埋込層に導いて蓄積させ、該蓄積した光発生電子の量により前記絶縁ゲート型電界効果トランジスタの閾値を変化させ、該閾値の変化量を受光量として検出することを特徴とする固体撮像素子による光信号検出方法。

素子による光信号検出方法。

【請求項 13】 請求項 1 乃至 10 のいずれかに記載の固体撮像素子による光信号検出方法において、前記半導体基板、前記ウェル領域及び前記高濃度埋込層は p 型であり、前記半導体層、前記不純物拡散領域、前記ドレイン拡散領域及び前記ソース拡散領域は n 型であり、前記不純物拡散領域、前記ドレイン拡散領域、前記ゲート電極及び前記ソース拡散領域に動作電圧よりも高い電圧を印加し、前記ウェル領域及び前記高濃度埋込層内の正孔を前記半導体基板に、電子を前記不純物拡散領域、前記ドレイン拡散領域及び前記ソース拡散領域にそれぞれ排出して空乏化することで画素の初期化を行い、光照射により前記受光ダイオードのウェル領域内に正孔及び電子を生じさせ、前記不純物拡散領域及び前記ドレイン拡散領域に動作電圧を印加し、かつ前記ゲート電極に前記絶縁ゲート型電界効果トランジスタのゲート領域のポテンシャルが前記受光ダイオードのポテンシャルよりも低くなるような電圧を印加し、前記光発生正孔を前記ウェル領域内を移動させて前記高濃度埋込層に前記光発生正孔を蓄積させ、前記ドレイン拡散領域及び前記ゲート電極に動作電圧を印加し、前記光発生正孔が蓄積した前記高濃度埋込層上にチャンネル長方向に低電界の反転領域を形成するとともに、前記高濃度埋込層上を除くチャンネル領域に前記チャンネル長方向に高電界領域を形成し、前記ドレイン拡散領域及び前記ゲート電極に前記絶縁ゲート型電界効果トランジスタが飽和状態で動作するような動作電圧を印加し、前記絶縁ゲート型電界効果トランジスタをソースフォロウに形成して前記光発生正孔が前記高濃度埋込層に蓄積されたことにより前記絶縁ゲート型電界効果トランジスタの閾値電圧の変化を、前記絶縁ゲート型電界効果トランジスタのソース拡散領域の電位変化に変えることで信号を検出することを特徴とする固体撮像素子による光信号検出方法。

【請求項 14】 請求項 1 乃至 10 のいずれかに記載の固体撮像素子による光信号検出方法において、前記半導体基板、前記ウェル領域及び前記高濃度埋込層は n 型であり、前記半導体層、前記不純物拡散領域、前記ドレイン拡散領域及び前記ソース拡散領域は p 型であり、前記不純物拡散領域、前記ドレイン拡散領域、前記ゲート電極及び前記ソース拡散領域に動作電圧よりも負側に大きい電圧を印加し、前記ウェル領域及び高濃度埋込層内の電子を前記半導体層に、正孔を前記不純物拡散領域、前記ドレイン拡散領域及び前記ソース拡散領域にそれぞれ排出して空乏化することで画素の初期化を行い、光照射により前記受光ダイオードのウェル領域内に正孔及び電子を生じさせ、前記不純物拡散領域及び前記ドレイン拡散領域に動作電

圧を印加し、かつ前記ゲート電極に前記絶縁ゲート型電界効果トランジスタのゲート領域のポテンシャルが前記受光ダイオードのポテンシャルよりも高くなるような電圧を印加し、前記光発生電子を前記ウェル領域内を移動させて前記高濃度埋込層に前記光発生電子を蓄積させ、前記ドレイン拡散領域及び前記ゲート電極に動作電圧を印加し、前記光発生電子が蓄積した前記高濃度埋込層上に低電界の反転領域を形成するとともに、前記高濃度埋込層上を除くチャンネル領域に高電界領域を形成し、前記ドレイン拡散領域及び前記ゲート電極に前記絶縁ゲート型電界効果トランジスタが飽和状態で動作するような動作電圧を印加し、前記絶縁ゲート型電界効果トランジスタをソースフォロウに形成して前記光発生電子が前記高濃度埋込層に蓄積されたことによる前記絶縁ゲート型電界効果トランジスタの閾値電圧の変化を、前記絶縁ゲート型電界効果トランジスタのソース拡散領域の電位変化に変えることで信号を検出することを特徴とする固体撮像素子による光信号検出方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、固体撮像素子及び固体撮像素子による光信号検出方法に関し、より詳しくは、ビデオカメラ、電子カメラ、画像入力カメラ、スキャナー、又はファクシミリ等に用いられる閾値電圧変調方式の MOS 型固体撮像素子及び固体撮像素子による光信号検出方法に関する。

【0002】

【従来の技術】半導体イメージセンサは量産性に優れているため、パターンの微細化技術の進展に伴い、ほとんどの画像入力デバイス装置に適用されている。なかでも、CCD（電荷結合素子）は光感度が高く、ノイズレベルが低いため、ビデオカメラやファクシミリ等代表的な画像装置に多く採用されている。

【0003】しかし、CCD（電荷結合素子）には以下のような問題があり、これらの問題に応えられる技術の開発が望まれている。即ち、

- ①消費電力、動作電圧が高い、
- ②CMOS デバイス等の半導体素子と異なり、複雑な製造技術を必要とするため、生産コストが高い、
- ③製造技術が CMOS デバイス等の半導体素子と異なっているため、CCD 内に複雑な周辺回路を作り込みにくい。

【0004】このような状況に加え、近年、固体撮像素子の応用市場が拡大してきており、MOS 型固体撮像素子が見直されるようになってきている。また、半導体微細化技術によりサブミクロン以下のデバイスを作成することが可能になってきている。一方、イメージセンサ本体の特性については、MOS 型イメージセンサと CCD イメージセンサとの性能差は大きく、特に、MOS 型イメージセンサにおいてランダム雑音特性や固定雑音特性

の改善が必要とされており、根本的な性能向上が望まれていた。

【0005】これに対して、マイクロレンズ技術の進歩により光電変換部を局所化でき、且つ微細化技術により画素毎に2〜3トランジスタからなる増幅回路が集積できるようになり感度の向上を図ることができた。このため、X、Yの2つのうち1つのMOSスイッチ部で発生する熱雑音（kTC雑音）や素子ばらつきによって生じる固定パターン雑音を回路的にある程度低減させることが可能となった。

【0006】このような点から、CMOS技術による微細なトランジスタ増幅回路を受光デバイスの画素内に形成した、いわゆるアクティブCMOSイメージセンサが注目されている。アクティブCMOSイメージセンサは、通常のCMOS技術以外の特殊な製造技術を必要としないため、CMOS周辺回路を受光部分と同一のチップに集積化し易く、安価に製造できる。また、消費電力、及び動作電圧が小さいという特長を有する。

【0007】このため、将来、複雑な信号処理回路を搭載したワンチップカメラの実現にむけて大いに期待されている。アクティブCMOSイメージセンサ素子の改良型として以下の具体例が挙げられる。即ち、CMD（Charge Modulation Device：電荷変調素子）型固体撮像素子は特開昭60-140752号公報、特開昭60-206063号公報、特開平6-120473号公報等に公開されている。この素子は光電変換素子構造にCCD的な特徴を取り入れた素子であり、また、開口率を向上させるためMOSトランジスタのゲート電極をフォトゲート電極構造としている。光励起によって発生した電荷をMOSトランジスタのフォトゲート電極下のゲート酸化膜とSi層の界面に蓄積させて、電流制御を行うものである。電荷の掃出を完全空乏化モードで行うため、トランジスタの熱雑音特性を改善できる。

【0008】また、BCMD（Bulk Charge Modulated Device）型固体撮像素子は特開昭64-14959号公報等に公開されている。図13（a）に示すように、この素子も開口率を向上させるためMOSトランジスタのゲート電極7をフォトゲート電極構造とし、フォトゲート電極7下のN層2上に光発生電荷の蓄積層3を設けている。この場合、フォトゲート電極7直下のチャンネル領域よりも基板1側に光発生電荷の蓄積層3を設けて、光発生電荷がフォトゲート電極7下のN層9と接するゲート酸化膜6の界面にトラップされるのを抑制し、それに起因するノイズを抑制している。なお、図13（a）中、符号2はN層、4はソース拡散領域、5はドレイン拡散領域、8は定電流電源である。

【0009】さらに、閾値電圧変調方式の固体撮像素子は特開平2-304973号公報に公開されている。この素子においては、リングゲート電極構造を有し、リングゲート電極構造の中央部にソース拡散領域が形成さ

れ、リングゲート電極を囲むようにドレイン拡散領域が形成されている。この場合、ドレイン拡散領域が埋込みフォトダイオードの高濃度不純物拡散層を兼ねている。受光部をトランジスタ領域の外に設けたこと、及びチャンネル幅方向の一部のチャンネル幅領域下のウェル領域内にソース拡散領域からドレイン拡散領域にわたって信号電荷に対してポテンシャルの低いところを一か所設けたことを特徴としている。

【0010】この素子では、埋込みフォトダイオードに光を照射して電荷を発生させ、埋込みフォトダイオードへの光発生電荷の蓄積により基板バイアス効果を利用して閾値を制御する。特に、微弱な強度の光照射であって光発生電荷の数が少ない場合に有効であり、信号電荷に対してポテンシャルの低いところに光発生電荷を集めて感度の不均一を抑え、固定パターン雑音の抑制を図っている。

【0011】

【発明が解決しようとする課題】しかしながら、CMD型固体撮像素子では、光電変換に用いる電荷が半導体表面付近に存在するため、表面での電荷捕獲或いは散乱によるランダム雑音成分は除去しきれないという問題がある。BCMD型固体撮像素子では、図13（a）に示すように、電荷蓄積層3がフォトゲート電極7下のチャンネル領域全域に存在するため、トランジスタを十分に飽和させることが難しく、図13（b）に示すように、電流-電圧特性が三極管領域特性となってしまう。このため、ソースフォロワで光発生電荷を電圧に変換する上で十分な直線性が得られないという問題がある。

【0012】また、電荷蓄積層3内でのキャリア分布はフォトゲート電極7下のチャンネル領域全体に散在し、チャンネル領域全体が電流変調に寄与するので、注入電荷量に対するポテンシャル変調の線型性に乏しく、かつ電荷検出容量も比較的大きいため変換効率も劣るという問題がある。さらに、CMD型及びBCMD型固体撮像素子はフォトゲート電極構造ということで共通し、受光部のMOS構造固有の入射光の多重干渉による分光感度特性の劣化の問題がある。

【0013】さらに、フォトゲート電極構造では、製造工程上、透光性を有する薄いポリシリコン膜からなるフォトゲート電極の形成が必要となる等、特殊で複雑な製造プロセスが要求されるという問題もある。一部のチャンネル幅領域下のウェル内に信号電荷に対してポテンシャルの低いところを一か所設けた固体撮像素子では、そのポテンシャルの低いところを、一部のチャンネル幅領域下のウェル領域内であってソース拡散領域からドレイン拡散領域にわたって設けているため、電流-電圧特性が三極管領域の特性となり、ソースフォロワで光発生電荷を電圧に変換する上で十分な直線性が得られないという問題がある。

【0014】本発明は、上述の事情に鑑みてなされたも

のであり、光発生電荷の表面捕獲或いは散乱に起因する雑音を低減し、分光感度特性や変換効率の向上を図るとともに、直線性に優れた光電変換特性を得ることができ、また、CMOSの製造技術と同じ製造技術を用いて受光部を作成することができる固体撮像素子及び固体撮像素子による光検出方法を提供することを目的とする。

【0015】

【課題を解決するための手段】上記目的を達成するため、請求項1の発明は固体撮像素子に係り、受光ダイオードと光信号検出用の絶縁ゲート型電界効果トランジスタとを備えた単位画素が複数配列された固体撮像素子において、前記受光ダイオードは、一導電型の半導体基板上の反対導電型の半導体層に形成された一導電型のウェル領域と、前記ウェル領域の表層に形成された反対導電型の不純物拡散領域とを有し、前記絶縁ゲート型電界効果トランジスタは、前記ウェル領域の表層に前記不純物拡散領域と一体的に形成された反対導電型のドレイン拡散領域と、前記ウェル領域の表層に前記ドレイン拡散領域と間隔を置いて形成された反対導電型のソース拡散領域と、前記ドレイン拡散領域と前記ソース拡散領域との間のウェル領域上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極下のウェル領域の表層の電流担体が移動する、反対導電型の不純物層を有するチャネル領域と、前記チャネル領域の下のウェル領域内のソース拡散領域の近辺に前記ウェル領域よりも高い不純物濃度を有する一導電型の高濃度埋込層とを有することを特徴としている。

【0016】請求項2の発明は、請求項1に記載の固体撮像素子に係り、前記高濃度埋込層はチャネル幅方向全域にわたって形成されていることを特徴としている。請求項3の発明は、請求項1又は2に記載の固体撮像素子に係り、前記ソース拡散領域の近辺は、前記ドレイン拡散領域から前記ソース拡散領域に至るチャネル長方向の一部領域であって、前記ソース拡散領域側であることを特徴としている。

【0017】請求項4の発明は、請求項1乃至3のいずれかに記載の固体撮像素子に係り、前記ゲート電極はリング状を有し、前記ソース拡散領域は前記ゲート電極の中央部の前記ウェル領域の表層に形成されており、前記ドレイン拡散領域は前記ゲート電極を囲むように前記ウェル領域の表層に形成されており、前記高濃度埋込層は前記ソース拡散領域を囲むように前記ウェル領域内に形成されていることを特徴としている。

【0018】請求項5の発明は、請求項1乃至4のいずれかに記載の固体撮像素子に係り、前記絶縁ゲート型電界効果トランジスタのゲート電極及びその周辺は遮光されていることを特徴としている。請求項6の発明は、請求項1乃至5のいずれかに記載の固体撮像素子に係り、前記絶縁ゲート型電界効果トランジスタのソース拡散領域に負荷回路が接続されてソースフォロワ回路を構成し

ていることを特徴としている。

【0019】請求項7の発明は、請求項6に記載の固体撮像素子に係り、前記ソースフォロワ回路のソース出力は映像信号出力に接続されていることを特徴としている。請求項8の発明は、請求項1乃至7のいずれかに記載の固体撮像素子に係り、前記単位画素は行方向及び列方向に並んでいることを特徴としている。請求項9の発明は、請求項8に記載の固体撮像素子に係り、前記行方向に並ぶ前記各単位画素の絶縁ゲート型電界効果トランジスタのドレイン拡散領域がともに接続され、前記行毎にドレイン電圧を送るドレイン電圧供給線と、前記行方向に並ぶ前記各単位画素の絶縁ゲート型電界効果トランジスタのゲート電極がともに接続され、前記行毎に垂直走査信号を伝える垂直走査信号供給線と、前記列方向に並ぶ前記各単位画素の絶縁ゲート型電界効果トランジスタのソース拡散領域がともに接続された、前記列毎に設けられた複数の垂直出力線と、前記各垂直出力線がそれぞれ接続された光検出信号入力端子と、光検出信号出力端子と、水平走査信号入力端子とを有し、前記列毎に設けられたスイッチと、前記各スイッチの光検出信号出力端子がともに接続された共通の水平出力線と、前記複数の垂直出力線のうちの一つを選択する水平走査信号を前記スイッチの水平走査信号入力端子に伝える水平走査信号供給線と、前記ドレイン電圧供給線が接続され、行毎に選択的にドレイン電圧を供給するドレイン電圧駆動走査回路と、前記垂直走査信号供給線が接続され、行毎に選択的に垂直走査信号を供給する垂直走査信号駆動走査回路と、前記水平走査信号供給線が接続され、列毎に選択的に水平走査信号を供給する水平走査信号駆動走査回路と、前記水平出力線に接続され、前記駆動走査回路により選択された一つの前記絶縁ゲート型電界効果トランジスタとの間でソースフォロワを形成する負荷回路と、前記ソースフォロワのソース出力に接続された映像信号出力とを有することを特徴としている。

【0020】請求項10の発明は、請求項1乃至9のいずれかに記載の固体撮像素子に係り、前記固体撮像素子は一つの前記半導体基板に形成されていることを特徴としている。請求項11の発明は、固体撮像素子による光信号検出方法に係り、光照射によってp型のウェル領域内に発生した電子及び正孔のうち該光発生正孔を前記ウェル領域内に形成した絶縁ゲート型電界効果トランジスタのn型のソース拡散領域の近辺に埋め込まれた、前記ウェル領域よりも高濃度のp型の高濃度埋込層に導いて蓄積させ、該蓄積した光発生正孔の量により前記絶縁ゲート型電界効果トランジスタの閾値を変化させ、該閾値の変化量を受光量として検出することを特徴としている。

【0021】請求項12の発明は、固体撮像素子による光信号検出方法に係り、光照射によってn型のウェル領域内に発生した電子及び正孔のうち該光発生電子を前記

ウエル領域内に形成した絶縁ゲート型電界効果トランジスタの p 型のソース拡散領域の近辺に埋め込まれた、前記ウエル領域よりも高濃度の n 型の高濃度埋込層に導いて蓄積させ、該蓄積した光発生電子の量により前記絶縁ゲート型電界効果トランジスタの閾値を変化させ、該閾値の変化量を受光量として検出することを特徴としている。

【0022】請求項 13 の発明は、固体撮像素子による光信号検出方法に係り、請求項 1 乃至 10 のいずれかに記載の固体撮像素子による光信号検出方法において、前記半導体基板、前記ウエル領域及び前記高濃度埋込層は p 型であり、前記半導体層、前記不純物拡散領域、前記ドレイン拡散領域及び前記ソース拡散領域は n 型であり、前記不純物拡散領域、前記ドレイン拡散領域、前記ゲート電極及び前記ソース拡散領域に動作電圧よりも高い電圧を印加し、前記ウエル領域及び高濃度埋込層内の正孔を前記半導体基板に、電子を前記不純物拡散領域、前記ドレイン拡散領域及び前記ソース拡散領域にそれぞれ排出して空乏化することで画素の初期化を行い、光照射により前記受光ダイオードのウエル領域内に正孔及び電子を生じさせ、前記不純物拡散領域及び前記ドレイン拡散領域に動作電圧を印加し、かつ前記ゲート電極に前記絶縁ゲート型電界効果トランジスタのゲート領域のポテンシャルが前記受光ダイオードのポテンシャルよりも低くなるような電圧を印加し、前記光発生正孔を前記ウエル領域内を移動させて前記高濃度埋込層に前記光発生正孔を蓄積させ、前記ドレイン拡散領域及び前記ゲート電極に動作電圧を印加し、前記光発生正孔が蓄積した前記高濃度埋込層上にチャンネル長方向に低電界の反転領域を形成するとともに、前記高濃度埋込層上を除くチャンネル領域に前記チャンネル長方向に高電界領域を形成し、前記ドレイン拡散領域及び前記ゲート電極に前記絶縁ゲート型電界効果トランジスタが飽和状態で動作するような動作電圧を印加し、前記絶縁ゲート型電界効果トランジスタをソースフォロウに形成して前記光発生正孔が前記高濃度埋込層に蓄積されたことにより前記絶縁ゲート型電界効果トランジスタの閾値電圧の変化を、前記絶縁ゲート型電界効果トランジスタのソース拡散領域の電位変化に変えることで信号を検出することを特徴としている。

【0023】請求項 14 の発明は、固体撮像素子による光信号検出方法に係り、請求項 1 乃至 10 のいずれかに記載の固体撮像素子による光信号検出方法において、前記半導体基板、前記ウエル領域及び前記高濃度埋込層は n 型であり、前記半導体層、前記不純物拡散領域、前記ドレイン拡散領域及び前記ソース拡散領域は p 型であり、前記不純物拡散領域、前記ドレイン拡散領域、前記ゲート電極及び前記ソース拡散領域に動作電圧よりも負側に大きい電圧を印加し、前記ウエル領域及び高濃度埋込層内の電子を前記半導体層に、正孔を前記不純物拡散

領域、前記ドレイン拡散領域及び前記ソース拡散領域にそれぞれ排出して空乏化することで画素の初期化を行い、光照射により前記受光ダイオードのウエル領域内に正孔及び電子を生じさせ、前記不純物拡散領域及び前記ドレイン拡散領域に動作電圧を印加し、かつ前記ゲート電極に前記絶縁ゲート型電界効果トランジスタのゲート領域のポテンシャルが前記受光ダイオードのポテンシャルよりも高くなるような電圧を印加し、前記光発生電子を前記ウエル領域内を移動させて前記高濃度埋込層に前記光発生電子を蓄積させ、前記ドレイン拡散領域及び前記ゲート電極に動作電圧を印加し、前記光発生電子が蓄積した前記高濃度埋込層上に低電界の反転領域を形成するとともに、前記高濃度埋込層上を除くチャンネル領域に高電界領域を形成し、前記ドレイン拡散領域及び前記ゲート電極に前記絶縁ゲート型電界効果トランジスタが飽和状態で動作するような動作電圧を印加し、前記絶縁ゲート型電界効果トランジスタをソースフォロウに形成して前記光発生電子が前記高濃度埋込層に蓄積されたことによる前記絶縁ゲート型電界効果トランジスタの閾値電圧の変化を、前記絶縁ゲート型電界効果トランジスタのソース拡散領域の電位変化に変えることで信号を検出することを特徴としている。

【0024】本発明においては、チャンネル領域の下側のウエル領域内であってソース拡散領域の近辺に、例えばドレイン拡散領域からソース拡散領域に至るチャンネル長方向の一部領域であって、ソース拡散領域側に、かつチャンネル領域の幅方向の一部に或いは幅方向全体にわたって、ウエル領域と同じ導電型を有し、かつウエル領域よりも高い不純物濃度を有する高濃度埋込層（キャリアポケット）を設けている。

【0025】例えば、リング状のゲート電極を用いる場合、ゲート電極の中央部のウエル領域の表層にソース拡散領域を形成し、ゲート電極を囲むようにウエル領域の表層にドレイン拡散領域を形成し、ソース拡散領域を囲むようにウエル領域内に高濃度埋込層を形成する。このような構成では、p 型のウエル領域における p 型の高濃度埋込層の場合、p 型の高濃度埋込層のところで正孔に対してポテンシャルが一番低くなる。或いは、n 型のウエル領域における n 型の高濃度埋込層の場合、n 型の高濃度埋込層のところで電子に対してポテンシャルが一番高くなる。

【0026】さらに、ウエル領域は受光ダイオードと電界効果トランジスタとで共通し、受光ダイオードの不純物拡散領域と電界効果トランジスタのドレイン拡散領域とは一体的に形成されている。また、高濃度埋込層はソース拡散領域の近くに設けられている。高濃度埋込層がソース拡散領域の近傍に配置されているため、受光ダイオード部分のウエル領域で発生した光発生電荷を高濃度埋込層に集めやすい。

【0027】即ち、p 型のウエル領域を用い、かつ検出

トランジスタをnMOSとした場合、光発生電荷のうち正孔を用い、ドレイン拡散領域よりもソース拡散領域の方の電位を低く設定する。或いは、n型のウエル領域を用い、かつ検出トランジスタをpMOSとした場合、光発生電荷のうち電子を用い、ドレイン拡散領域よりもソース拡散領域の方の電位を高く設定する。例えば、ドレイン拡散領域に正又は負の動作電圧VDDを印加し、ゲート電極に低い電圧を印加したとき、電界効果トランジスタのドレイン拡散領域、即ち受光ダイオードの不純物拡散領域からソース拡散領域の方に光発生電荷が向かうような電界が生じる。

【0028】したがって、初期化により、読み出しが終わった光発生電荷やウエル領域内のアクセプタ等を中性化している正孔等の残留電荷を半導体基板内から排出した後、上記のように電圧を印加したとき、受光ダイオード部分のウエル領域内で発生した光発生電荷は、高濃度埋込層の方に移動し、高濃度埋込層に蓄積される。一度高濃度埋込層に光発生電荷が集まると、その低い電位のため容易に脱出できなくなるため、ウエル領域内での光発生電荷の拡散を防止することができ、高濃度埋込層に光発生電荷を効率的に蓄積することができる。

【0029】なお、高濃度埋込層に蓄積された光発生電荷でもゲート電極、ドレイン拡散領域及びソース拡散領域に動作電圧よりも大きい電圧を印加して電界を高めることにより、排除することができる。光発生電荷が高濃度埋込層内に蓄積されると、蓄積量に応じてフェルミレベルが変化し、空間電荷は減少するため、トランジスタの閾値電圧の低下をもたらす。同時に、電荷保存則により、高濃度埋込層上に反転領域が形成され、反転領域内で高濃度埋込層内に蓄積された光発生電荷と逆の導電型のキャリアが増加し、チャネルコンダクタンスは増大する。

【0030】一方、高濃度埋込層以外の領域ではポテンシャルが高く光発生電荷が蓄積しないので、高濃度埋込層上以外のウエル領域表面には反転領域が生ぜず、高電界領域が生じることになる。このように一つのチャネル領域に反転領域と高電界領域とが生じることにより、トランジスタは飽和状態で動作するようになる。従って、ゲート電圧にトランジスタが動作しうるゲート電圧を印加すると、ソースフォロワとして配線接続されたトランジスタは、閾値電圧に追従してソース電位を変化させる。

【0031】しかも、トランジスタが飽和状態で動作するので、電流はゲートソース間の電位差のみで決まる。このため、ソース電位の変化は光発生電荷の蓄積量のみにより決まる。従って、このソース電位をビデオ信号として出力することにより、線型性の良い光電変換を行うことが可能になる。

【0032】また、光発生電荷の蓄積量と反転領域の電荷の増減分は均衡しているため、光発生電荷の蓄積量は

ゲート絶縁膜容量への充電量と等価であり、閾値電圧の変化分が出力される。ここで、ゲート絶縁膜容量への充電は、キャリアポケットとしての高濃度埋込層上のゲート絶縁膜容量に限定されるため、酸化膜厚、高濃度埋込層の面積及び深さにより検出感度を決定することができる。しかも、この検出容量は殆ど固定容量と見なせるので、電荷-電圧変換の伝達特性の線型性に極めて優れた高感度検出が可能となる。

【0033】さらに、トランジスタの表面がデプレッション化している場合、ホールに対して障壁が存在することになる。このとき、他の方式で用いられているフォトゲート電極構造では、表面は光発生電荷により満たされているため、表面は平衡化し、熱的励起による暗電流発生や寄生ホール蓄積によるポテンシャル変調が問題となる。

【0034】一方、この発明においては、トランジスタのチャネル領域は、残留電荷を掃出し（初期化）後に空乏状態が保持される。しかも、トランジスタ領域が遮光されているため、過剰なキャリア層を形成するに至らない。従って、仮に表面に捕獲されたキャリアも、障壁を乗り越えずして暗電流となることはなく、表面からノイズ成分を抑制することができる。

【0035】以上のように、電流を制御すべき光発生電荷を何れの半導体層表面部分とも相互作用しない孤立したチャネル領域下のウエル領域へ注入して、ソース拡散領域付近の電位障壁を変化させている。即ち、光発生電荷をソース拡散領域近くに集めることによりトランジスタの閾値電圧を制御するような構造とすることで、雑音成分を持たず、線型性が良く、かつ高感度検出が可能な理想的な閾値電圧変調方式CMOSイメージセンサ素子を提供することができる。

【0036】

【実施の形態】以下に、図面を参照しながら本発明の実施の形態について説明する。図1は、本発明の実施の形態に係るCMOSイメージセンサの単位画素内における素子レイアウトについて示す平面図である。図1に示すように、単位画素101内に、受光ダイオード111と光信号検出用MOSトランジスタ112とが隣接して設けられている。これらは、一つのウエル領域15を共有している。即ち、受光ダイオード111のウエル領域15は光照射による電荷の発生領域を構成し、光信号検出用MOSトランジスタ112のウエル領域15はゲート領域を構成している。

【0037】受光ダイオード111の不純物拡散領域17と光信号検出用MOSトランジスタ112のドレイン拡散領域17aとはウエル領域15の表層に一体的に形成されている。ドレイン拡散領域17aはリング状のゲート電極19の外周部を取り囲むように形成され、リング状のゲート電極19の中心部にソース拡散領域16が形成されている。ゲート電極19下のウエル領域15内

10

20

30

40

50

であって、ソース拡散領域 16 の周辺部に、ソース拡散領域 16 を取り囲むようにキャリアポケット（高濃度埋込層）25 が形成されている。

【0038】なお、光信号検出用 MOS トランジスタ 112 の動作時にゲート電極 19 下のウェル領域 15 の表面のチャネル領域が反転状態或いはデプレッション状態を保つように、チャネル領域には n 型の不純物を導入した n 型不純物層（反対導電型の不純物層）が形成されている。ドレイン拡散領域 17a はドレイン電圧（VDD）供給線 22 と接続され、ゲート電極 19 は垂直走査信号（VSCAN）供給線 21 に接続され、ソース拡散領域 16 は垂直出力線 20 に接続されている。

【0039】また、受光ダイオード 111 の受光窓 24 以外の領域は金属層（遮光膜）23 により遮光されている。次に、本発明の実施の形態に係る CMOS イメージセンサのデバイス構造を断面図を用いて説明する。図 2 の上の図は、図 1 の A-A 線断面図に相当する、本発明の実施の形態に係る CMOS イメージセンサのデバイス構造について示す断面図である。図 2 の下の図は、半導体基板表面に沿うポテンシャル図である。

【0040】図 3 の上の図は、チャネル領域下のウェル領域 15 内のキャリアポケット 25 の付近を示す断面図である。また、図 3 の下の図は、光発生ホールがキャリアポケット 25 に蓄積されているときの、キャリアポケット 25 を含む半導体基板表面に平行な面、即ち図中の F-F 線に沿うポテンシャル図である。但し、キャリアポケット 25 上のチャネル領域の反転領域の電子の分布を同じ図に記載している。

【0041】図 4 は図 1 の B-B 線断面図であり、図 5 は図 1 の C-C 線断面図である。図 2 の上の図に示すように、p 型シリコンからなる基板 11 上に n 型シリコンをエピタキシャル成長し、エピタキシャル層（n 型層）12 を形成する。以上が半導体基板を構成する。この n 型層 12 に p 型のウェル領域 15 が形成されている。なお、隣接する単位画素間に各単位画素を分離するように、フィールド絶縁膜 14 とその下の素子分離拡散領域 13 とが形成されている。

【0042】次に、受光ダイオード 111 の詳細について図 2 及び図 4 により説明する。即ち、ウェル領域 15 と、ウェル領域 15 に大部分の領域がかかるように n 型層 12 の表層に形成された不純物拡散領域 17 とで構成されている。即ち、正孔（ホール）に対する埋め込み構造をしている。不純物拡散領域 17 はドレイン電圧（VDD）供給線 22 に接続されて正の電位にバイアスされる。これにより、入射光により発生したホールは不純物拡散領域 17 の下のウェル領域 15 内に存在するようになるため、界面捕獲準位の多い半導体層表面に影響されず、雑音の低減を図ることができる。

【0043】次に、光信号検出用 MOS トランジスタ（nMOS）112 の詳細について図 2 及び図 5 により

説明する。即ち、リング状のゲート電極 19 が n^+ 型の不純物拡散領域 17 と一体的に形成された n^+ 型のドレイン拡散領域 17a により囲まれた構造を有する。リング状のゲート電極 19 の中央部に n^+ 型のソース拡散領域 16 が形成されている。そして、ドレイン拡散領域 17a とソース拡散領域 16 の間のウェル領域 15 上にゲート絶縁膜 18 を介してゲート電極 19 が形成されている。ゲート電極 19 下のウェル領域 15 の表層がチャネル領域となる。

【0044】また、チャネル領域の下のウェル領域 15 内に、チャネル長方向の一部領域、即ちソース拡散領域 16 の周辺部であって、ソース拡散領域 16 を囲むように、 p^+ 型のキャリアポケット 25 が形成されている。この p^+ 型のキャリアポケット 25 は、例えばイオン注入法により形成することができる。キャリアポケット 25 は表面に生じるチャネル領域よりも下側のウェル領域 15 内に形成される。キャリアポケット 25 はチャネル領域にかからないように形成することが望ましい。さらに、通常動作電圧において、チャネル領域を反転状態或いはデプレッション状態に保持するため、チャネル領域に適当な濃度の n 型不純物を導入して n 型不純物層 15a を形成することが必要である。

【0045】上記した p^+ 型のキャリアポケット 25 では光発生電荷のうち光発生ホールに対するポテンシャルが低くなるため、ドレイン拡散領域 17a に高電圧を印加したときに光発生ホールがこのキャリアポケット 25 に集まる。図は光発生ホールがキャリアポケット 25 に蓄積されている状態を示す。図 2 の下図に光発生ホールがキャリアポケット 25 に蓄積し、チャネル領域に電子が誘起されて反転領域が生じている状態のポテンシャル図を示す。また、チャネル領域下のウェル領域 15 内のキャリアポケット 25 の付近の素子構造断面とポテンシャル図の詳細を図 3 に示す。

【0046】次に、図 6（a）、（b）を参照して上記の構造の単位画素を用いた CMOS イメージセンサの全体の構成について説明する。図 6（a）は、本発明の実施の形態における CMOS イメージセンサの回路構成図を示す。図 6（a）に示すように、この CMOS イメージセンサは、2 次元アレーセンサの構成を採っており、上記した構造の単位画素が列方向及び行方向にマトリクス状に並ぶように配置されている。

【0047】また、垂直走査信号（VSCAN）の駆動走査回路 102 及びドレイン電圧（VDD）の駆動走査回路 103 が画素領域を挟んでその左右に配置されている。行毎に行方向に並ぶ全ての単位画素 101 内の MOS トランジスタ 112 のドレインに、ドレイン電圧（VDD）の駆動走査回路 103 から行毎の一つずつでているドレイン電圧供給線 22a、22b がそれぞれ接続されている。さらに、行毎に行方向に並ぶ全ての単位画素 101 内の MOS トランジスタ 112 のゲートに、垂直

走査信号 (VSCAN) の駆動走査回路 102 から行毎に一つずつでている垂直走査信号供給線 21a, 21b がそれぞれ接続されている。

【0048】また、列毎に列方向に並ぶ全ての単位画素 101 内の MOS トランジスタ 112 のソースが列毎に異なる垂直出力線 20a, 20b に接続されている。各垂直出力線 20a, 20b は列毎に異なるスイッチとしての MOS トランジスタ 105a, 105b のドレイン (光検出信号入力端子) 28a, 29a に一つずつ接続されている。各スイッチ 105a, 105b のゲート (水平走査信号入力端子) 28b, 29b は水平走査信号 (HSCAN) の駆動走査回路 104 に接続されている。

【0049】また、各スイッチ 105a, 105b のソース (光検出信号出力端子) 28c, 29c は共通の定電流源 106 を通して映像信号出力 107 に接続されている。即ち、各単位画素 101 内の MOS トランジスタ 112 のソースは定電流源 106 に接続され、画素単位のソースフォロワ回路を形成する。従って、各 MOS トランジスタ 112 のゲートソース間の電位差、及びバルクソース間の電位差は接続された定電流源 (負荷回路) 106 により決定される。

【0050】垂直走査信号 (VSCAN) 及び水平走査信号 (HSCAN) により、逐次、各単位画素の MOS トランジスタ 112 を駆動して光の入射量に比例した映像信号 (Vout) が読み出される。上記のように、単位画素 101 は受光ダイオード 111 及び MOS トランジスタ 112 で構成されるので、画素の部分で CMOS 技術を用いて作成することができる。従って、上記画素部分と、駆動走査回路 102 ~ 104 及び定電流源 106 等周辺回路とを全て同じ半導体基板上に作成することができる。

【0051】図 6 (b) は、本発明に係る CMOS イメージセンサを動作させるための各入出力信号のタイミングチャートを示す。p 型のウェル領域 15 を用い、かつ光信号検出用トランジスタ 112 が nMOS の場合に適用する。素子動作は掃出期間 (初期化) - 蓄積期間 - 読出期間 - 掃出期間 (初期化) - ... というように繰り返す。

【0052】このとき、固体撮像素子の動作に伴って単位画素 101 のウェル領域 15 内のポテンシャルが変化する様子についても、図 7, 図 8, 及び図 9 のポテンシャル図を参照しながら同時に説明する。さらに、単位画素 101 内の光信号検出用 MOS トランジスタ 112 の電流-電圧特性について図 10 に示すグラフを参照しながら同時に説明する。

【0053】図 7 乃至図 9 において、縦軸はポテンシャルを表し、横軸は基板表面からの深さを表す。また、図 7 (a), 図 8 (a), 図 9 (a) は、それぞれ掃出期間 (初期化), 蓄積期間, 読出期間における図 4 の D-

D 線断面でのポテンシャル分布を表す。さらに、図 7 (b), 図 8 (b), 図 9 (b) は、それぞれ掃出期間 (初期化), 蓄積期間, 読出期間における図 5 の E-E 線断面でのポテンシャル分布を表す。

【0054】まず、掃出期間は、光発生電荷 (ホール) を蓄積する前に、読み出しが終わった光発生電荷や、アクセプタやドナー等を中性化し、或いは表面準位に捕獲されている正孔や電子等、光信号の読み出し前の残留電荷を半導体内から排出する期間である。即ち、この動作を光発生電荷の基板掃出し動作 (初期化動作) といい、行単位で行われる。

【0055】初期化動作を行うのは、次の蓄積期間にキャリアポケット 25 を空にして新たな光発生電荷を蓄積するためである。即ち、蓄積された光発生電荷だけを映像信号として取り出し、残留電荷によるノイズを防止するためである。この場合、ドレイン拡散領域 17a、ゲート電極 19 及びソース拡散領域 16 に通常の動作電圧よりも大きい電圧を印加する。即ち、VDD 供給線 22a, 22b に約 +5V の電圧を供給してドレイン拡散領域 17a に印加し、VSCAN 供給線 21a, 21b に約 +5V の電圧を供給してゲート電極 19 に印加する。また、ゲート電極 19 に約 +5V の電圧を印加することによりチャネル領域が導通するため、ドレイン拡散領域 17a に印加された約 +5V の電圧がそのままソース拡散領域 16 に印加される。

【0056】この電圧印加は、図 7 (a), (b) に示すように、pn 接合を逆バイアスし、ウェル領域 15 内の電界が N 領域及び P 領域を通して p⁺ 型の基板 11 方向に向くようにする。これにより、ウェル領域 15 その他半導体内に残留するホールは p⁺ 型の基板 11 に排出され、電子はソース拡散領域 16 やドレイン拡散領域 17 から排出される。特に、光発生電荷がキャリアポケット 25 に蓄積されている場合、トランジスタが飽和状態で動作しうるゲート電圧及びドレイン電圧では光発生電荷をキャリアポケット 25 から排出させることはできないが、5V 程度のさらに高いゲート電圧及びドレイン電圧を印加することにより、光発生電荷をキャリアポケット 25 から排出させることができる。

【0057】残留電荷が排出された後ではウェル領域 15 は空乏化した状態にある。上記したような初期化は、残留電荷を生じさせないので、キャリアの熱的ゆらぎによる熱雑音 (kTC 雑音) が発生せず、理想的である。なお、この初期化動作においては、電流パスが無いため、オンチップに搭載された昇圧回路が容易に使用できる。

【0058】次に、蓄積期間は、光照射により光発生電荷を発生させ、その光発生電荷をチャネル領域下のウェル領域 15 内のキャリアポケット 25 に蓄積させる期間である。なお、この蓄積期間では水平走査時間単位での電子シャッター動作も可能である。この場合、光照射前

10

20

30

40

50

に、VDD供給線22a, 22bを通して、全ての単位画素101内のMOSトランジスタ112のドレイン拡散領域17にMOSトランジスタが動作しうる凡そ+2〜3V程度の電圧を印加するとともに、VSCAN供給線21a, 21bを通して、列毎にMOSトランジスタ112のゲートにMOSトランジスタがカットオフ状態を維持するような低い電圧を印加する。このように、光発生電荷の蓄積は各水平走査信号線上に配列されたセンサ列毎に行う。

【0059】ドレイン拡散領域17aへの電圧印加により、p型のウェル領域15内の多数キャリア（正孔）は p^+ 型の基板11側に掃きだされるため、ウェル領域15内は空乏化し、アクセプタからなる負の空間電荷層が存在する。この状態で画素領域に光を照射すると、受光ダイオード111のウェル領域15に電子-正孔対が発生する。

【0060】ここで、MOSトランジスタ112のゲート電圧が低く設定されているので、光発生電荷のうち、光発生電子はドレイン電圧によりドレイン拡散領域17から排出される。一方、光発生ホールはソース拡散領域16の低い電位に引かれてソース拡散領域16の方に移動し、最も電位の低くなっているキャリアポケット25に蓄積される。この状態を図8(a), (b)に示す。

【0061】蓄積期間での光発生ホールの移動はp型のウェル領域15内でのみ行われるので、光発生ホールの移動に際して半導体表面の影響を受けることはなく、雑音成分は発生しない。ところで、トランジスタの表面がデプレッション化している場合、ホールに対して障壁が存在することになる。

【0062】他の方式で用いられているフォトゲート電極構造では、図11(c)に示すように、表面は光発生電荷により満たされているため、表面は平衡化し、熱的励起による暗電流発生や寄生ホール蓄積によるポテンシャル変調が問題となる。一方、この実施の形態においては、トランジスタのチャンネル領域は、図11(a)に示すように、初期化後に空乏状態が保持される。しかも、図11(b)に示すように、トランジスタのゲート及びその周辺が遮光されているため、過剰なキャリア層を形成するに至らない。従って、仮に表面に捕獲されたキャリアも、障壁を乗り越えずして暗電流となることはなく、表面からのノイズ成分を抑制することができる。

【0063】読出期間は、蓄積された光発生電荷に基づく映像信号(V_{out})を読みだす期間である。光信号検出用MOSトランジスタ112をソースフォロワ回路として動作させ、映像信号(V_{out})を出力する。この場合、MOSトランジスタ112が飽和状態で動作するように、VDD供給線22a, 22bにより、行毎にMOSトランジスタ112のドレインに凡そ+2〜3V程度の電圧を印加するとともに、VSCAN供給線21a, 21bにより、列毎にMOSトランジスタ112のゲート

トに凡そ+2〜3V程度の電圧を印加する。さらに、光信号検出用MOSトランジスタ112のソースに定電流源106を接続して一定の電流を流すようにする。

【0064】ところで、この読出期間の直前の蓄積期間で、光発生電荷がキャリアポケット25内に蓄積されている。光発生電荷がキャリアポケット25内に蓄積されると、蓄積量に応じてフェルミレベルが変化し、空間電荷は減少するため、トランジスタの閾値電圧の低下をもたらす。同時に、電荷保存則により、キャリアポケット25上に反転領域が形成され、反転領域内でキャリアポケット25内に蓄積された光発生ホールの量と同じ量の電子が増加し、チャンネルコンダクタンスは増大する。

【0065】この場合、キャリアポケット25上の表面電位はゲート長方向にほぼ一定値となり、反転領域には、キャリアである電子が一様な密度で分布する。一方、ドレイン拡散領域17a側では、空間電荷密度が低いいため、表面に反転領域は生ぜず、高電界領域が生じる。このように、チャンネル領域の一部に反転領域が生じ、他の部分に高電界領域が生じているため、図10に示すように、光信号検出用MOSトランジスタ112は飽和状態での動作が可能となる。

【0066】従って、光信号検出用MOSトランジスタ112の各電極に通常の動作電圧を印加すると、トランジスタ112は飽和状態で動作する。このとき、トランジスタ112は定電流動作によるソースフォロワ回路を形成しているので、負帰還作用によりトランジスタ112に一定電流が流れるようにゲート-ソース間の電位差を減少させるべく、図9(a), (b)に示すように、ソース電位が高くなる。このソース電位の変化を映像信号出力107に出力する。

【0067】なお、上記の読出動作を次のように理解してもよい。即ち、図10に示すように、光信号検出用MOSトランジスタ112は飽和領域で動作するため、ドレイン-ソース間の電位差はゲート電極19下のポテンシャルで決定され、その電位差によりp型のウェル領域15内にはソース拡散領域16方向の電界が存在する。

【0068】従って、光発生ホールはソース拡散領域16付近のフェルミ電位を正の方向に変化させるが、電流値はその定電流源106により決定されているため、ソース側のポテンシャル障壁高さは保存される。このため、図9(a), (b)に示すように、ソース電位(V_S)には、光発生ホールの注入により中性化された空間電荷層の電位差分の変化が現れる。すなわち、バルク電位を光発生ホール量により変化させ、ソースフォロワ出力を変化させることができる。

【0069】これにより、光照射量に比例した映像信号(V_{out})を得ることができる。この場合、光発生ホールと反転領域の電荷の増減分は均衡しているので、光発生ホールによる電荷量はゲート絶縁膜18容量への充電量と等価であり、閾値電圧の変化分が出力される。こ

10

20

30

40

50

で、図 12 (a), (b) に示すように、ゲート絶縁膜 18 容量への充電は、キャリアポケット 25 上のゲート絶縁膜 18 容量に限定されるため、ゲート酸化膜厚、キャリアポケット 25 の面積及び深さにより検出感度を決定することができる。また、キャリアポケット 25 という限られた領域に光発生ホールが蓄積されるため、変換効率もよい。

【0070】しかも、この検出容量は殆ど固定容量と見なせるので、電荷—電圧変換の伝達特性の線型性に極めて優れた高感度検出が可能となる。次に、図 6 (a),

(b) にしたがって、一連の連続した固体撮像素子の光検出動作を簡単に説明する。即ち、初期化動作によりウエル領域やその他の半導体層内に残る電荷を排出する。

【0071】次いで、トランジスタのゲート電極 19 に低いゲート電圧を印加し、ドレイン拡散領域 17a にトランジスタの動作に必要な約 2~3V の電圧 (VDD) を印加する。このとき、ウエル領域 15 は空乏化し、ドレイン拡散領域 17a からソース拡散領域 16 に向かう電界が生じる。照射により電子—ホール対 (光発生電荷) が生じると、上記電界によりこの光発生電荷のうち光発生ホールがゲート領域に注入され、かつキャリアポケット 25 に蓄積される。これにより、チャネル領域から基板 11 側に広がる空乏層幅が制限されるとともに、そのソース拡散領域 16 付近のポテンシャルが変調されて、MOS トランジスタ 112 の閾値電圧が変動する。

【0072】ここで、ゲート電極 19 に MOS トランジスタ 112 が飽和状態で動作しうる約 2~3V のゲート電圧を印加し、ドレイン拡散領域 17a に MOS トランジスタ 112 が動作しうる約 2~3V の電圧 VDD を印加する。これにより、チャネル領域の一部に低電界の反転領域が形成され、残りの部分に高電界領域が形成される。

【0073】さらに、MOS トランジスタ 112 のソース拡散領域 16 に定電流源 106 を接続して一定の電流を流す。これにより、MOS トランジスタ 112 はソースフォロワ回路を形成し、従って、光発生ホールによる MOS トランジスタの閾値電圧の変動に追従してソース電位が変化し、出力電圧の変化をもたらす。これにより、照射量に比例した映像信号 (Vout) を取り出すことができる。

【0074】以上のように、この発明の実施の形態によれば、掃出動作 (初期化)—蓄積動作—読出動作の一連の過程において、光発生ホールが移動するときに、半導体表面やチャネル領域内の雑音源と相互作用しない理想的な光電変換機構を実現することができる。また、キャリアポケット 25 をチャネル領域下の一部領域に設けているため、チャネル領域の一部を反転領域とし、残りの部分を高電界領域とすることができる。これにより、図 10 に示すように、トランジスタを飽和状態で動作させることができる。しかも、ソースフォロワ回路を形成し

ているので、光発生電荷による閾値電圧の変化をソース電位の変化として検出することができる。このため、線型性の良い光電変換を行うことができる。

【0075】なお、図 13 (b) に示す従来例の BCM D 型固体撮像素子の場合、電流—電圧特性は 3 極管特性となり、飽和状態での動作が難しい。このため、線型性の良い光電変換を行うことは難しいといえる。さらに、受光ダイオード 111 と光信号検出用 MOS トランジスタ 112 とを別々に設けているので、フォトゲート電極への照射のような多重干渉による分光感度特性の劣化を防止することができる。

【0076】また、素子構成は、受光ダイオード 111 と光信号検出用 MOS トランジスタ 112 との単純な組み合わせで行えるため、開口率を向上できる。さらに、ゲート電圧を変化させ、ソースフォロワの利得及びソース容量を調整できる特性を生かして、固定パターン雑音を抑制することができる。なお、上記実施の形態では、p 型のウエル領域 15 に p⁺ 型のキャリアポケット 25 を設けてホールを蓄積し、nMOS トランジスタ (光信号検出用 MOS トランジスタ) 112 により光信号を検出しているが、n 型のウエル領域を用い、n⁺ 型のキャリアポケットを設けて電子を蓄積し、pMOS トランジスタ (光信号検出用 MOS トランジスタ) により光信号を検出するようにしてもよい。

【0077】また、固体撮像素子の全体の構成を示す図 6 (a) において、掃出期間で、ゲート電極 19 に約 +5V の電圧を印加することによりチャネル領域を導通させてドレイン拡散領域 17a に印加された約 +5V の電圧をそのままソース拡散領域 16 に印加するようにしている。しかし、切り換え手段を介して掃出期間だけソース拡散領域 16 に約 +5V の電圧を供給するような電源を別にソース拡散領域 16 に接続してもよい。

【0078】さらに、上記固体撮像素子の全体の構成を示す図 6 (a) において、負荷回路として定電流源を用いているが、容量負荷を用いてもよい。この場合、光発生電荷の蓄積により光信号検出用トランジスタ 112 のソース電位が変化すると、その変化により容量が充電されるため、その充電電圧を映像信号として取り出すことができる。また、定電流源や容量負荷の他に、ソースフォロワを形成する、高インピーダンスを有するその他の負荷回路を用いることが可能である。

【0079】

【発明の効果】以上のように、本発明に係る閾値電圧変調方式の固体撮像素子においては、ウエル領域を共有する受光ダイオードと絶縁ゲート型電界効果トランジスタとを備え、かつトランジスタのチャネル領域の下側のウエル領域内のソース拡散領域の近くに高濃度埋込層 (キャリアポケット) を備えている。

【0080】このため、受光ダイオード部で発生した光発生電荷を半導体内部を移動させて高濃度埋込層に蓄積

10

20

30

40

50

させ、トランジスタの閾値電圧を変化させることができる。従って、残留電荷の掃出（初期化）、光電変換、蓄積、電圧変換に至るまで熱雑音（kTC雑音）や半導体表面捕獲雑音等を抑制することができる。これにより、低雑音の固体撮像素子を提供することができ、MOS型イメージセンサの性能をCCD型イメージセンサの性能以上に向上することができる。

【0081】また、高濃度埋込層をチャネル領域下の一部領域に設けているため、チャネル領域の一部を反転領域とし、残りの部分を高電界領域とすることができる。これにより、トランジスタを飽和状態で動作させることができる。しかも、定電流駆動で代表される高インピーダンスの負荷回路を接続したソースフォロワ回路を形成しているため、光発生電荷による閾値電圧の変化をソース電位の変化として検出することができる。このため、線型性の良い光電変換を行うことができる。

【0082】さらに、素子構成は、受光ダイオードと光信号検出用MOSトランジスタとの単純な組み合わせで行えるため、開口率を向上できる。また、ゲート電圧を変化させ、ソースフォロワの利得及びソース容量を調整できる特性を生かして、固定パターン雑音を抑制することができる。さらに、既存のCMOSプロセス技術により受光部の製作可能であるため、極めて安価に、かつ周辺回路も同一基板に作成することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る固体撮像素子の単位画素内の素子レイアウトを示す平面図である。

【図2】本発明の実施の形態に係る固体撮像素子の単位画素内の素子の構造を示す、図1のA-A線断面図である。

【図3】本発明の実施の形態に係る固体撮像素子の単位画素内のキャリアポケット及びその周辺部の詳細を示す断面図である。

【図4】本発明の実施の形態に係る固体撮像素子の単位画素内の受光ダイオードの構造を示す、図1のB-B線断面図である。

【図5】本発明の実施の形態に係る固体撮像素子の単位画素内の光信号検出用MOSトランジスタの構造を示す、図1のC-C線断面図である。

【図6】図6（a）は、本発明の実施の形態に係る固体撮像素子の全体の回路構成を示す図である。図6（b）は、図6（a）の固体撮像素子を動作させる際のタイミングチャートである。

【図7】図7（a）は、本発明の実施の形態に係る固体撮像素子の動作時の掃出期間のある状態における、図4のD-D線断面でのポテンシャル分布を示す図である。図7（b）は、本発明の実施の形態に係る固体撮像素子の動作時の読出期間のある状態における、図5のE-E線断面でのポテンシャル分布を示す図である。

【図8】図8（a）は、本発明の実施の形態に係る固体

撮像素子の動作時の蓄積期間のある状態における、図4のD-D線断面でのポテンシャル分布を示す図である。図8（b）は、本発明の実施の形態に係る固体撮像素子の動作時の蓄積期間のある状態における、図5のE-E線断面でのポテンシャル分布を示す図である。

【図9】図9（a）は、本発明の実施の形態に係る固体撮像素子の動作時の読出期間のある状態における、図4のD-D線断面でのポテンシャル分布を示す図である。図9（b）は、本発明の実施の形態に係る固体撮像素子の動作時の読出期間のある状態における、図5のE-E線断面でのポテンシャル分布を示す図である。

【図10】本発明の実施の形態に係る固体撮像素子の単位画素内の光信号検出用MOSトランジスタの電流-電圧特性について示すグラフである。

【図11】図11（a）は、固体撮像素子の電荷リセット後のチャネル層表面の状態を示す図であり、図11（b）は、本発明の実施の形態に係る固体撮像素子のチャネル層表面の状態を示す図であり、図11（c）は、従来例に係るフォトゲート構造の固体撮像素子のチャネル層表面の状態を示す図である。

【図12】図12（a）は、本発明の実施の形態に係る固体撮像素子の動作時の蓄積期間から読出期間にかけての電荷の分布状態を示す図である。図12（b）は、図12（a）を説明するためのキャリアポケット及びその付近の素子断面図である。

【図13】図13（a）は、従来例に係るBCMD構造の固体撮像素子の構造について示す断面図である。図13（b）は、従来例に係るBCMD構造の固体撮像素子の電流-電圧特性について示すグラフである。

【符号の説明】

- 15 ウェル領域、
- 15a n型不純物層（反対導電型の不純物層）、
- 16、16a ソース拡散領域、
- 17 不純物拡散領域、
- 17a ドレイン拡散領域、
- 19 ゲート電極、
- 20、20a、20b 垂直出力線、
- 21、21a、21b 垂直走査信号（VSCAN）供給線、
- 22、22a、22b ドレイン電圧（VDD）供給線、
- 25 キャリアポケット（高濃度埋込層）、
- 26 水平出力線、
- 27a、27b 水平走査信号（HSCAN）供給線、
- 28a、29a 光検出信号入力端子、
- 28b、29b 水平走査信号入力端子、
- 28c、29c 光検出信号出力端子、
- 101 単位画素、
- 102 垂直走査信号（VSCAN）駆動走査回路、
- 103 ドレイン電圧（VDD）駆動走査回路、

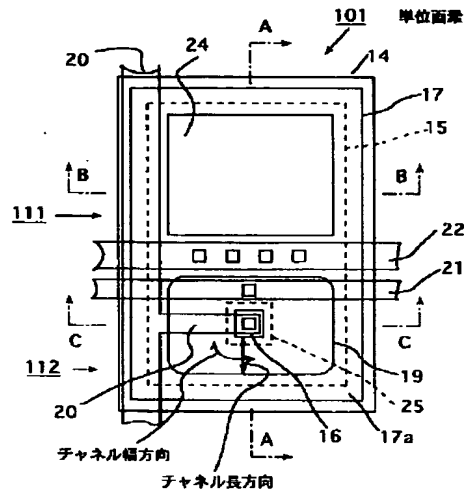
23

24

104 水平走査信号 (HSCAN) 駆動走査回路、
105a, 105b スイッチ、
106 定電流源 (負荷回路)、

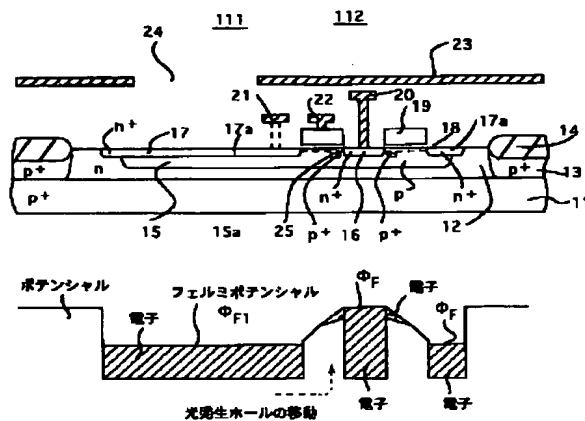
111 受光ダイオード、
112, 112a 光信号検出用MOSトランジスタ。

【図1】



14: フィールド絶縁膜
15: ウェル領域
16: ソース拡散領域
17: 不純物拡散領域
17a: ドレイン拡散領域
19: ゲート電極
20: 垂直出力線
21: VSCAN供給線
22: VDD供給線
24: 受光素子
25: キャリアポケット (高濃度埋込層)
111: 受光ダイオード
112: 光信号検出用MOSトランジスタ

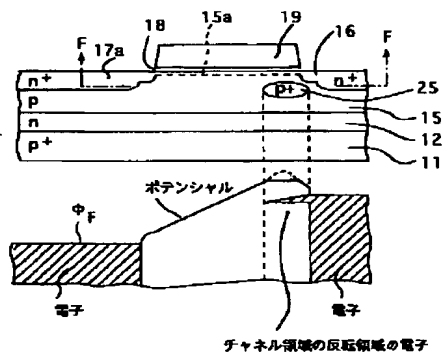
【図2】



11: p+ 基板
12: n型層
13: 電子分離拡散領域
23: 遮光膜
15a: n型不純物層 (反対導電型の不純物層)

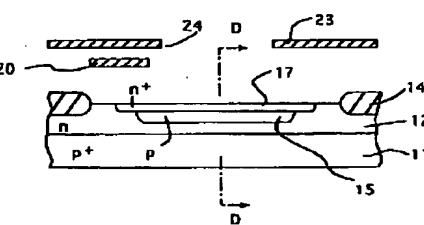
【図10】

【図3】

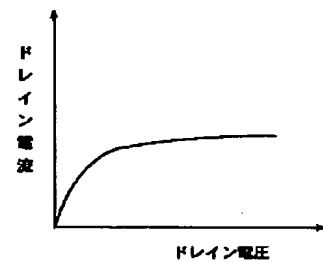
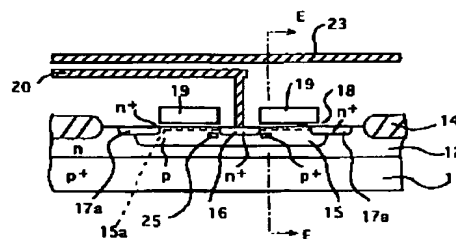


チャンネル領域の反転領域の電子

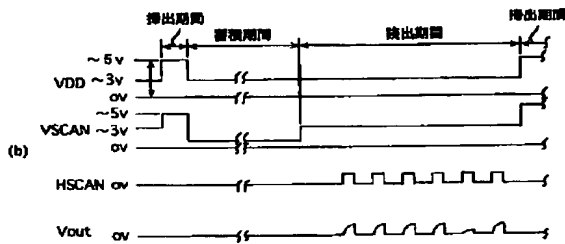
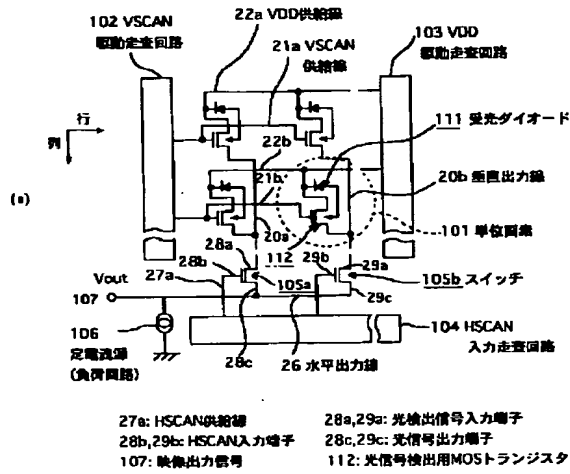
【図4】



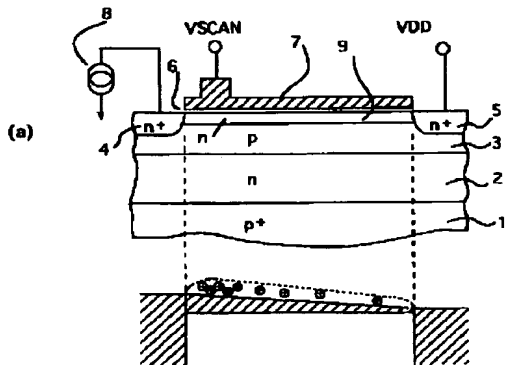
【図5】



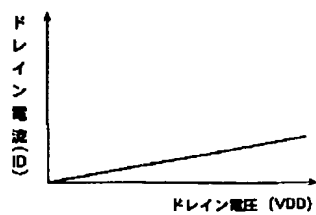
【図 6】



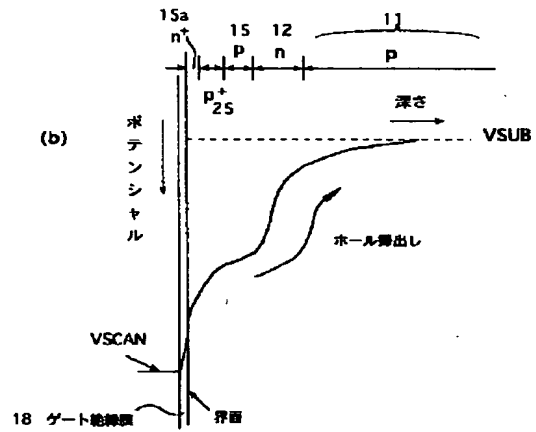
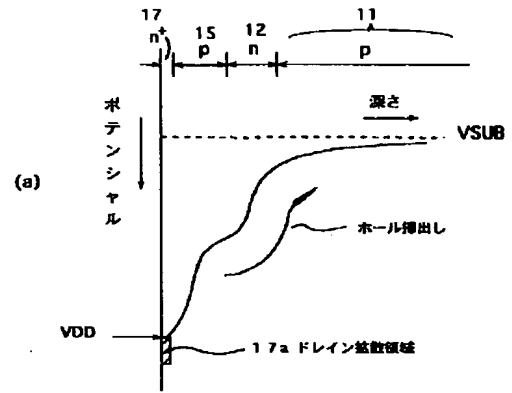
【図 13】



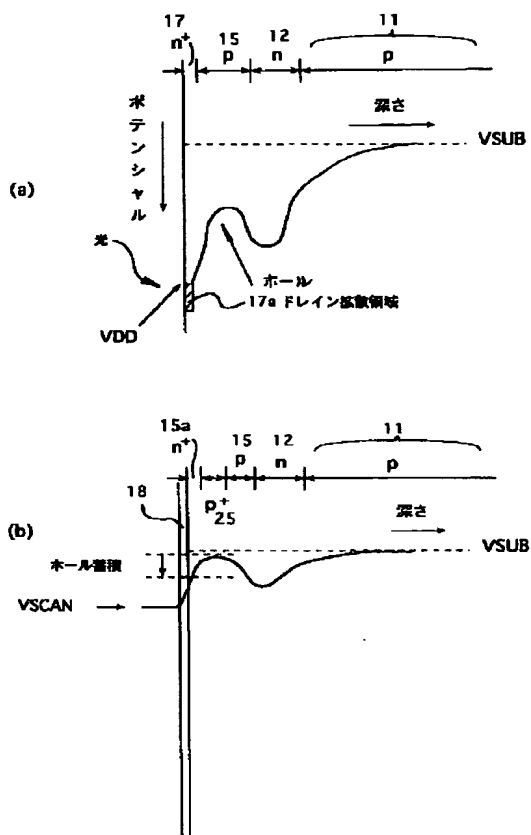
(b)



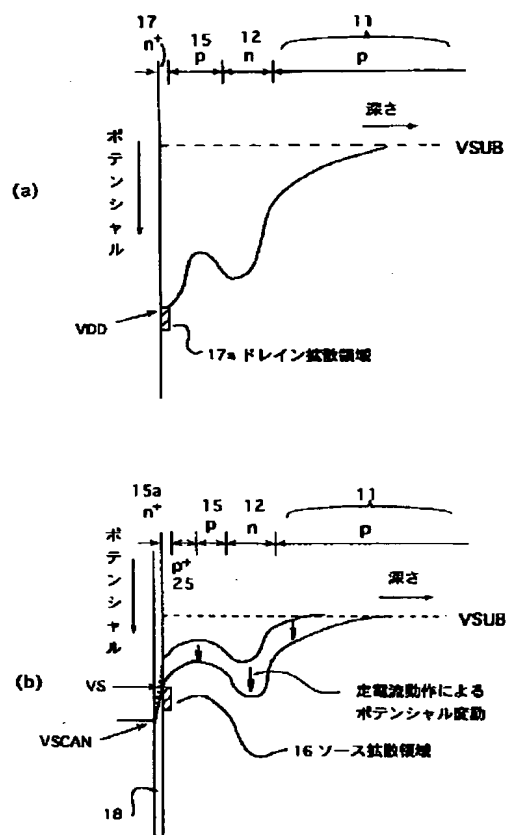
【図 7】



【図8】



【図9】



*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the lightwave signal detection method by the MOS mold solid state image sensor and solid state image sensor of a threshold voltage modulation technique which are used for a video camera, an electronic camera, an image input camera, a scanner, or facsimile in more detail about the lightwave signal detection method by the solid state image sensor and the solid state image sensor.

[0002]

[Description of the Prior Art] Since semiconductor image sensors are excellent in mass-production nature, they are applied to almost all image input device equipment with progress of the detailed-ized technology of a pattern. Especially, photosensitivity of CCD (charge-coupled device) is high, and since the noise level is low, it is adopted. [to typical image equipments, such as a video camera and facsimile,] [many]

[0003] However, there are the following problems in CCD (charge-coupled device), and development of the technology which can respond to these problems is desired. That is, since ** power consumption and operating voltage need a complicated manufacturing technology unlike semiconductor devices, such as high ** CMOS device, and ** manufacturing technology with a high production cost differs from semiconductor devices, such as a CMOS device, it is hard making a complicated circumference circuit in CCD.

[0004] In addition to such a condition, the application commercial scene of a solid state image sensor is expanded, and an MOS mold solid state image sensor is improved increasingly in recent years. Moreover, it is becoming possible to create the device below submicron one with semiconductor detailed-ized technology. On the other hand, about the property of the main part of image sensors, the engine-performance difference of MOS mold image sensors and CCD series was large, especially, in MOS mold image sensors, the improvement of a random noise property and a fixed noise property is needed, and fundamental improvement in the engine performance was desired.

[0005] On the other hand, the amplifying circuit which can localize the photo-electric-conversion section by advance of micro-lens technology, and consists of two to 3 transistor for every pixel with detailed-ized technology can be accumulated now, and improvement in sensitivity was able to be aimed at. For this reason, it became possible to reduce in circuit the fixed pattern noise made by X, the thermal noise (kTC noise) generated in the one MOS switch section among two of Y, or element dispersion to some extent.

[0006] From such a point, the so-called active CMOS image sensors in which the detailed transistor amplifying circuit by the CMOS technology was formed in the pixel of a light-receiving device attract attention. Since active CMOS image sensors do not need a special manufacturing technology except the usual CMOS technology, it is easy to integrate them for the same chip as a part for a light sensing portion, and they can manufacture a CMOS circumference circuit cheaply. Moreover, it has the features that power consumption and operating voltage are small.

[0007] For this reason, it is expected very much towards implementation of the one chip camera which carried the complicated digital disposal circuit in the future. The following examples are given as an advanced type of an active CMOS image-sensors element. That is, the CMD (Charge Modulation Device: charge modulation element) mold solid state image sensor is opened to JP,60-140752,A, JP,60-206063,A, JP,6-120473,A, etc. This element is an element which adopted the CCD-feature in optoelectric-transducer structure, and in order to raise a numerical aperture, it makes the gate electrode of an MOS transistor photograph gate electrode structure. The charge generated by optical pumping is stored up in the gate oxide under the photograph gate electrode of an MOS transistor, and the interface of Si layer, and current control is performed. Since **** of a charge is performed in the perfect depletion-ized mode, the thermal-noise property of a transistor is improvable.

[0008] Moreover, the BCMD (Bulk Charge Modulated Device) mold solid state image sensor is opened to JP,64-14959,A etc. As shown in drawing 13 (a), in order that this element might also raise a numerical aperture, the gate electrode 7 of an MOS transistor was made into photograph gate electrode structure, and the accumulation layer 3 of an optical generating charge is formed on the N layer 2 under the photograph gate electrode 7. In this case, the accumulation layer 3 of an optical generating charge was established in the substrate 1 side rather than the channel field of photograph gate electrode 7 directly under, it controlled that a trap was carried out to the interface of the gate oxide 6 to which an optical generating charge touches the N layer 9 under the photograph gate electrode 7, and the noise resulting from it is controlled. In addition, for a sign 2, as for a source diffusion field and 5, N layer and 4 are [a drain diffusion field and 8] constant current power supplies among drawing 13 (a).

[0009] Furthermore, the solid state image sensor of a threshold voltage modulation technique is opened to JP,2-304973,A. In this element, it has ring gate electrode structure and a source diffusion field is formed in the center section of ring gate electrode structure, and the drain diffusion field is formed so that a ring gate electrode may be surrounded. In this case, the drain diffusion field serves as the high concentration impurity diffused layer of a pad photodiode. the well under having prepared the light sensing portion out of the transistor field, and the channel width field of a part of channel width direction -- it is characterized by preparing the low place of potential one place to a signal charge ranging from the source diffusion field to a drain diffusion field in a field.

[0010] Light is irradiated at a pad photodiode, a charge is generated, and a threshold is controlled by this element by are recording of the optical generating charge to a pad photodiode using the substrate bias effect. Especially, it is the optical exposure of feeble reinforcement, when there are few optical generating charges, it is effective, and an optical generating charge is brought together in the low place of potential to a signal charge, the ununiformity of sensitivity is suppressed, and control of a fixed pattern noise is in drawing.

[0011]

[Problem(s) to be Solved by the Invention] However, in a CMD mold solid state image sensor, since the charge used for photo electric conversion exists near the semiconductor surface, the random noise component by charge capture or dispersion in the surface has the problem that it cannot remove. In a BCMD mold solid state image sensor, since the charge accumulation layer 3 exists throughout the channel field under the photograph gate electrode 7 as shown in drawing 13 (a), it will be difficult to fully saturate a transistor, and as shown in drawing 13 (b), the current-voltage characteristic will turn into a triode area property. For this reason, there is a problem that sufficient linearity is not acquired when transforming an optical generating charge into voltage by the source follower.

[0012] Moreover, deficiently in the linearity of the potential modulation to the amount of impregnation charges, since it is scattered to the whole channel field under the photograph gate electrode 7 and the whole channel field contributes to a current modulation, since the charge detection capacity of carrier distribution in the charge accumulation layer 3 is also comparatively large, it has the problem that conversion efficiency is also inferior. Furthermore, a CMD mold and a BCMD mold solid state image sensor have the problem of deterioration of the spectral sensitivity characteristic by multiplex interference of the incident light of the metal-oxide-semiconductor structure proper of a light sensing portion in common with photograph gate electrode structure.

[0013] Furthermore, with photograph gate electrode structure, there is also a problem that special and complicated manufacture processes -- formation of the photograph gate electrode which consists of a thin polish recon film which has translucency is needed -- are required on a manufacturing process. the well under some channel-width fields -- the place the potential is low in a place in the solid state image sensor which prepared the low place of potential one place to the signal charge inside -- the well under some channel-width fields -- it is in a field, and since it has prepared ranging from the source diffusion field to a drain diffusion field, the current-voltage characteristic turns into the property of a triode field, and there is a problem that where of sufficient linearity is not acquired when transforming an optical generating charge into voltage by the source follower.

[0014] It aims at offering the photodetection method by the solid state image sensor and solid state image sensor which can acquire the photoelectric transfer characteristic excellent in linearity, and can create a light sensing portion using the same manufacturing technology as the manufacturing technology of CMOS while this invention is made in view of an above-mentioned situation, reduces the noise resulting from surface capture or dispersion of an optical generating charge and aims at improvement in the spectral sensitivity characteristic or conversion efficiency.

[0015]

[Means for Solving the Problem] In a solid state image sensor with which two or more arrays of the unit pixel which invention of claim 1 required for a solid state image sensor, and was equipped with light-receiving diode and an insulated gate field effect transistor for lightwave signal detection in order to attain the above-mentioned purpose were carried out a well of one conductivity type with which said light-receiving diode was formed in a semiconductor layer of an opposite conductivity type on a semiconductor substrate of one conductivity type -- with a field It has an impurity diffusion field of an opposite conductivity type formed in a surface of a field. said well -- said insulated gate field effect transistor said well -- on a surface of a field with said impurity diffusion field and a drain diffusion field of an opposite conductivity type formed in one said well -- with a source diffusion field of an opposite conductivity type which kept said drain diffusion field and gap in a surface of a field, and was formed in it a well between said drain diffusion field and said source diffusion field -- with a gate electrode formed through a gate insulator layer on a field a well under said gate electrode -- with a channel field where a current carrier of a surface of a field moves and which has an impurity layer of an opposite conductivity type a well under said channel field -- the neighborhood of a source diffusion field in a field -- said well -- it is characterized by having a high concentration buried layer of one conductivity type which has high impurity concentration higher than a field.

[0016] Invention of claim 2 relates to a solid state image sensor according to claim 1, and said high concentration buried layer is characterized by being formed over the channel width direction whole region. Invention of claim 3 relates to a solid state image sensor according to claim 1 or 2, the direction of channel length from said drain diffusion field to said source diffusion field is a field a part, and the neighborhood of said source diffusion field is characterized by being said source diffusion field side.

[0017] Invention of claim 4 relates to a solid state image sensor according to claim 1 to 3. It is formed in a surface of a field. said gate electrode -- the shape of a ring -- having -- said source diffusion field -- said well of a center section of said gate electrode -- said drain diffusion field surrounds said gate electrode -- as -- said well -- it is formed in a surface of a field and said high concentration buried layer surrounds said source diffusion field -- as -- said well -- it is characterized by being formed in a field.

[0018] Invention of claim 5 relates to a solid state image sensor according to claim 1 to 4, and it is characterized by shading a gate electrode of said insulated gate field effect transistor, and its circumference. Invention of claim 6 is characterized by starting a solid state image sensor according to claim 1 to 5, connecting a load circuit to a source diffusion field of said insulated gate field effect transistor, and constituting a source follower circuit.

[0019] Invention of claim 7 relates to a solid state image sensor according to claim 6, and it is characterized by connecting a source mode output of said source follower circuit to a video signal output. Invention of claim 8 relates to a solid state image sensor according to claim 1 to 7, and it is characterized by having located said unit pixel in a line in a line writing direction and the direction of a

train. Invention of claim 9 relates to a solid state image sensor according to claim 8, and both drain diffusion fields of an insulated gate field effect transistor of each of said unit pixel on a par with said line writing direction are connected. A drain voltage supply line which sends drain voltage for said every line, and a vertical-scanning signal supply line which both gate electrodes of an insulated gate field effect transistor of each of said unit pixel on a par with said line writing direction are connected, and tells a vertical-scanning signal for said every line, Two or more perpendicular output lines to which both source diffusion fields of an insulated gate field effect transistor of each of said unit pixel located in a line in said direction of a train were connected and which were prepared for said every train, A photodetection signal input terminal to which said each perpendicular output line was connected, respectively, and a photodetection signal output terminal, A switch which has a horizontal scanning signal input terminal and was formed for said every train, Common water Hiraide line of force to which both photodetection signal output terminals of each of said switch were connected, A horizontal scanning signal supply line which tells a horizontal scanning signal which chooses one of said two or more perpendicular output lines to a horizontal scanning signal input terminal of said switch, A drain voltage drive scanning circuit which said drain voltage supply line is connected and supplies drain voltage alternatively for every line, A vertical-scanning signal drive scanning circuit which said vertical-scanning signal supply line is connected, and supplies a vertical-scanning signal alternatively for every line, A horizontal scanning signal drive scanning circuit which said horizontal scanning signal supply line is connected, and supplies a horizontal scanning signal alternatively for every train, It is characterized by having a video signal output which was connected to said water Hiraide line of force, and was connected to a load circuit which forms a source follower among said one insulated gate field effect transistor chosen by said drive scanning circuit, and a source mode output of said source follower.

[0020] Invention of claim 10 relates to a solid state image sensor according to claim 1 to 9, and it is characterized by forming said solid state image sensor in said one semiconductor substrate. a lightwave signal detection method according [invention of claim 11] to a solid state image sensor -- starting -- an optical exposure -- a well of p mold -- inside of an electron generated in a field, and an electron hole -- this optical generating electron hole -- said well -- it was embedded near a source diffusion field of n mold of an insulated gate field effect transistor formed in a field -- said well -- a threshold of said insulated gate field effect transistor is changed with an amount of an optical generating electron hole which was made to draw and accumulate in a high concentration buried layer of high-concentration p mold rather than a field, and was this accumulated, and it is characterized by detecting variation of this threshold as light income.

[0021] a lightwave signal detection method according [invention of claim 12] to a solid state image sensor -- starting -- an optical exposure -- a well of n mold -- inside of an electron generated in a field, and an electron hole -- this optical generating electron -- said well -- it was embedded near a source diffusion field of p mold of an insulated gate field effect transistor formed in a field -- said well -- a threshold of said insulated gate field effect transistor is changed with an amount of an optical generating electron which was made to lead and accumulate in a high concentration buried layer of high-concentration n mold rather than a field, and was this accumulated, and it is characterized by detecting variation of this threshold as light income.

[0022] In a lightwave signal detection method invention of claim 13 relates to a lightwave signal detection method by solid state image sensor, and according to a solid state image sensor according to claim 1 to 10 A field and said high concentration buried layer are p molds. said semiconductor substrate and said well -- Said semiconductor layer, said impurity diffusion field, said drain diffusion field, and said source diffusion field are n molds. Voltage higher than operating voltage is impressed to said impurity diffusion field, said drain diffusion field, said gate electrode, and said source diffusion field. said well -- an electron hole in a field and a high concentration buried layer -- said semiconductor substrate -- an electron -- said impurity diffusion field -- A pixel is initialized by discharging to said drain diffusion field and said source diffusion field, respectively, and depletion-izing to them. An electron hole and an electron are produced in a field. an optical exposure -- a well of said light-receiving

diode -- Operating voltage is impressed to said impurity diffusion field and said drain diffusion field. And voltage to which potential of a gate field of said insulated gate field effect transistor becomes lower than potential of said light-receiving diode at said gate electrode is impressed. The inside of a field is moved and said optical generating electron hole is stored up in said high concentration buried layer. said optical generating electron hole -- said well -- While forming a reversal field of low electric field in the direction of channel length on said high concentration buried layer which impressed operating voltage to said drain diffusion field and said gate electrode, and said optical generating electron hole accumulated. A high electric-field field is formed in a channel field except said high concentration buried layer top in said direction of channel length. Operating voltage to which said insulated gate field effect transistor operates by saturation state to said drain diffusion field and said gate electrode is impressed. By having formed said insulated gate field effect transistor in a source follower, and having accumulated said optical generating electron hole in said high concentration buried layer, change of threshold voltage of said insulated gate field effect transistor. It is characterized by detecting a signal by changing into potential change of a source diffusion field of said insulated gate field effect transistor.

[0023] In a lightwave signal detection method invention of claim 14 relates to a lightwave signal detection method by solid state image sensor, and according to a solid state image sensor according to claim 1 to 10 A field and said high concentration buried layer are n molds. said semiconductor substrate and said well -- Said semiconductor layer, said impurity diffusion field, said drain diffusion field, and said source diffusion field are p molds. Larger voltage to a negative side than operating voltage is impressed to said impurity diffusion field, said drain diffusion field, said gate electrode, and said source diffusion field. said well -- an electron in a field and a high concentration buried layer -- said semiconductor layer -- an electron hole -- said impurity diffusion field -- A pixel is initialized by discharging to said drain diffusion field and said source diffusion field, respectively, and depletion-izing to them. An electron hole and an electron are produced in a field. an optical exposure -- a well of said light-receiving diode -- Operating voltage is impressed to said impurity diffusion field and said drain diffusion field. And voltage to which potential of a gate field of said insulated gate field effect transistor becomes higher than potential of said light-receiving diode at said gate electrode is impressed. The inside of a field is moved and said optical generating electron is stored up in said high concentration buried layer. said optical generating electron -- said well -- While forming a reversal field of low electric field on said high concentration buried layer which impressed operating voltage to said drain diffusion field and said gate electrode, and said optical generating electron accumulated. Form a high electric-field field in a channel field except said high concentration buried layer top, and operating voltage to which said insulated gate field effect transistor operates by saturation state to said drain diffusion field and said gate electrode is impressed. Change of threshold voltage of said insulated gate field effect transistor by having formed said insulated gate field effect transistor in a source follower, and said optical generating electron having been accumulated in said high concentration buried layer. It is characterized by detecting a signal by changing into potential change of a source diffusion field of said insulated gate field effect transistor.

[0024] this invention -- setting -- a well under a channel field -- a part of direction of channel length which is in a field and results near a source diffusion field for example, from a drain diffusion field to a source diffusion field -- a field -- it is -- a source diffusion field side -- and a part of cross direction of a channel field -- or the crosswise whole -- crossing -- a well -- the one same conductivity type as a field -- having -- and a well -- a high concentration buried layer (carrier pocket) which has high impurity concentration higher than a field is prepared.

[0025] for example, a case where a ring-like gate electrode is used -- a well of a center section of the gate electrode -- a source diffusion field is formed in a surface of a field, and a gate electrode is surrounded -- as -- a well -- a drain diffusion field is formed in a surface of a field, and a source diffusion field is surrounded -- as -- a well -- a high concentration buried layer is formed in a field. such a configuration -- a well of p mold -- a case of a high concentration buried layer of p mold in a field -- a high concentration buried layer of p mold -- by the way, potential becomes the lowest to an electron hole. or a well of n mold -- a case of a high concentration buried layer of n mold in a field -- a high

concentration buried layer of n mold -- by the way, potential becomes the highest to an electron.

[0026] furthermore, a well -- a field is formed in common by light-receiving diode and field-effect transistor in [an impurity diffusion field of light-receiving diode, and a drain diffusion field of a field-effect transistor] one. Moreover, a high concentration buried layer is prepared near the source diffusion field. since a high concentration buried layer is arranged near the source diffusion field -- a well of a light-receiving diode portion -- it is easy to bring an optical generating charge generated in a field in a high concentration buried layer together.

[0027] namely, a well of p mold -- when a detection transistor is set to nMOS, using a field, potential in the direction of a source diffusion field is low set up rather than a drain diffusion field using an electron hole among optical generating charges. or a well of n mold -- when a detection transistor is set to pMOS, using a field, potential in the direction of a source diffusion field is highly set up rather than a drain diffusion field using an electron among optical generating charges. For example, when the positive or negative operating voltage VDD is impressed to a drain diffusion field and low voltage is impressed to a gate electrode, electric field by which an optical generating charge goes to a direction of a drain diffusion field of a field-effect transistor, i.e., an impurity diffusion field, to a source diffusion field of light-receiving diode arise.

[0028] therefore, an optical generating charge which read-out finished by initialization and a well -- a time of impressing voltage as mentioned above, after discharging residual charge, such as an electron hole which carbonates an acceptor in a field etc., out of a semiconductor substrate -- a well of a light-receiving diode portion -- an optical generating charge generated in a field moves to a direction of a high concentration buried layer, and is accumulated in a high concentration buried layer. since it is the low potential there and it becomes impossible to escape easily once optical generating charges gather for a high concentration buried layer -- a well -- diffusion of an optical generating charge in a field can be prevented, and an optical generating charge can be efficiently accumulated in a high concentration buried layer.

[0029] In addition, when an optical generating charge accumulated in a high concentration buried layer also impresses larger voltage than operating voltage to a gate electrode, a drain diffusion field, and a source diffusion field and raises electric field, it can eliminate. If an optical generating charge is accumulated into a high concentration buried layer, a Fermi level changes according to an accumulated dose, and space charge will bring about a fall of threshold voltage of a transistor in order to decrease in number. A reversal field is formed on a high concentration buried layer of the conservation of charge at coincidence, a carrier of an optical generating charge accumulated into a high concentration buried layer in a reversal field and a conductivity type of reverse increases, and channel conductance increases.

[0030] since potential is high in fields other than a high concentration buried layer and an optical generating charge is not accumulated on the other hand -- wells other than on a high concentration buried layer -- a reversal field will not be generated in the field surface, but a high electric-field field will be generated. Thus, when a reversal field and a high electric-field field are generated to one channel field, a transistor comes to operate by saturation state. Therefore, if gate voltage to which a transistor can operate is impressed to gate voltage, a transistor by which wiring connection was made as a source follower will follow in footsteps of threshold voltage, and will change source potential.

[0031] And since a transistor operates by saturation state, current is decided only by the potential difference between the gate-sources. For this reason, change of source potential is decided only by accumulated dose of an optical generating charge. Therefore, it becomes possible by outputting this source potential as a video signal to perform photo electric conversion with sufficient linearity.

[0032] Moreover, since a fluctuated part of an accumulated dose of an optical generating charge and a charge of a reversal field is balanced, an accumulated dose of an optical generating charge is equivalent to a charge to gate insulator layer capacity, and a changed part of threshold voltage is outputted. Here, since charge to gate insulator layer capacity is limited to gate insulator layer capacity on a high concentration buried layer as a carrier pocket, it can determine detection sensitivity with area and the depth of oxide-film thickness and a high concentration buried layer. And since it can consider that most of this detection capacity is fixed capacity, high sensitivity detection which was extremely excellent in

the linearity of the transfer characteristics of charge-voltage conversion is attained.

[0033] Furthermore, when the surface of a transistor has DEPURISHON-ized, an obstruction will exist to a hole. Since the surface is filled with photograph gate electrode structure where it is used by other methods by optical generating charge, at this time, the surface is equilibrated and dark current generating by thermal excitation and a potential modulation by parasitism hole storage pose a problem.

[0034] On the other hand, in this invention, a channel field of a transistor sweeps out residual charge (initialization), and a depletion condition is held behind. And since a transistor field is shaded, it does not come to form a superfluous carrier layer. Therefore, a carrier temporarily captured on the surface does not overcome an obstruction, either, carries out it, and it does not serve as the dark current, and a noise component can be controlled from the surface.

[0035] as mentioned above, a well under an isolated channel field which interacts with neither of the semiconductor layer surface portions an optical generating charge which should control current -- field HE impregnation is carried out and a potential barrier near a source diffusion field is changed. That is, by collecting optical generating charges near the source diffusion field, by considering as structure which controls threshold voltage of a transistor, it cannot have a noise component but an ideal threshold voltage modulation-technique CMOS image-sensors element in which high sensitivity detection is possible can be offered with sufficient linearity.

[0036]

[Embodiment of the Invention] Below, the gestalt of operation of this invention is explained, referring to a drawing. Drawing 1 is the plan showing the element layout in the unit pixel of the CMOS image sensors concerning the gestalt of operation of this invention. As shown in drawing 1, the light-receiving diode 111 and MOS transistor 112 for lightwave signal detection are adjoined and formed in the unit pixel 101. these -- one well -- the field 15 is shared. namely, the well of the light-receiving diode 111 -- the generating field of the charge according [a field 15] to an optical exposure -- constituting -- the well of MOS transistor 112 for lightwave signal detection -- the field 15 constitutes the gate field.

[0037] the impurity diffusion field 17 of the light-receiving diode 111, and drain diffusion field 17a of MOS transistor 112 for lightwave signal detection -- a well -- it is formed in the surface of a field 15 in one. Drain diffusion field 17a is formed so that the periphery section of the ring-like gate electrode 19 may be surrounded, and the source diffusion field 16 is formed in the core of the ring-like gate electrode 19. the well under the gate electrode 19 -- it is in a field 15, and the carrier pocket (high concentration buried layer) 25 is formed so that the source diffusion field 16 may be surrounded in the periphery of the source diffusion field 16.

[0038] in addition, the time of actuation of MOS transistor 112 for lightwave signal detection -- the well under the gate electrode 19 -- n mold impurity layer (impurity layer of an opposite conductivity type) which introduced the impurity of n mold is formed in the channel field so that the channel field of the surface of a field 15 may maintain a reversal condition or a DEPURISHON condition. Drain diffusion field 17a is connected with the drain voltage (VDD) supply line 22, the gate electrode 19 is connected to the vertical-scanning signal (VSCAN) supply line 21, and the source diffusion field 16 is connected to the perpendicular output line 20.

[0039] Moreover, fields other than light-receiving aperture 24 of the light-receiving diode 111 are shaded by the metal layer (protection-from-light film) 23. Next, the device structure of the CMOS image sensors concerning the gestalt of operation of this invention is explained using a cross section. Drawing on drawing 2 is a cross section showing the device structure of the CMOS image sensors concerning the gestalt of operation of this invention equivalent to the A-A line cross section of drawing 1. Drawing under drawing 2 is potential drawing along the semiconductor substrate surface.

[0040] drawing on drawing 3 -- the well under a channel field -- it is the cross section showing near the carrier pocket 25 in a field 15 in details. Moreover, drawing under drawing 3 is potential drawing which meets the F-F line in a field parallel to the semiconductor substrate surface containing the carrier pocket 25 when the optical generating hole is accumulated in the carrier pocket 25, i.e., drawing. However, distribution of the electron of the reversal field of the channel field on the carrier pocket 25 is indicated to the same drawing.

[0041] Drawing 4 is the B-B line cross section of drawing 1, and drawing 5 is the C-C line cross section of drawing 1. As shown in drawing on drawing 2, on the substrate 11 which consists of p-type silicon, n mold silicon is grown epitaxially and an epitaxial layer (n type layer) 12 is formed. The above constitutes a semiconductor substrate. The well field 15 of p mold is formed in this n type layer 12. In addition, the field insulator layer 14 and the element isolation diffusion field 13 under it are formed so that each unit pixel may be separated between the adjoining unit pixels.

[0042] Next, drawing 2 and drawing 4 explain the details of the light-receiving diode 111. That is, it consists of a well field 15 and an impurity diffusion field 17 formed in the surface of n type layer 12 so that most fields might start the well field 15. That is, it is having the embedded structure to an electron hole (hole). It connects with the drain voltage (VDD) supply line 22, and bias of the impurity diffusion field 17 is carried out to electropositive potential. Thereby, in order for the hole generated by incident light to exist in the well field 15 under the impurity diffusion field 17, it is not influenced by the semiconductor layer surface with many interface trapping levels, but can aim at reduction of a noise.

[0043] Next, drawing 2 and drawing 5 explain the details of MOS transistor (nMOS) 112 for lightwave signal detection. That is, the ring-like gate electrode 19 is n+. The impurity diffusion field 17 of a mold, and n+ formed in one It has the structure surrounded by drain diffusion field 17a of a mold. It is n+ to the center section of the ring-like gate electrode 19. The source diffusion field 16 of a mold is formed, and the well between drain diffusion field 17a and the source diffusion field 16 -- the gate electrode 19 is formed through the gate insulator layer 18 on the field 15. the well under the gate electrode 19 -- the surface of a field 15 serves as a channel field.

[0044] moreover, the well under a channel field -- in a field 15, the direction of channel length is the periphery of a field 16, i.e., a source diffusion field, a part, and the source diffusion field 16 is surrounded -- as -- p+ The carrier pocket 25 of a mold is formed. This p+ The carrier pocket 25 of a mold can be formed with ion-implantation. the well below the channel field which produces the carrier pocket 25 on the surface -- it is formed in a field 15. As for the carrier pocket 25, forming so that a channel field may not be started is desirable. Furthermore, in normal operation voltage, in order to hold a channel field in a reversal condition or the DEPURESHON condition, it is required to introduce n mold impurity of the suitable concentration for a channel field, and to form n mold impurity layer 15a.

[0045] Above-mentioned p+ In the carrier pocket 25 of a mold, since the potential over an optical generating hole becomes low among optical generating charges, when the high voltage is impressed to drain diffusion field 17a, optical generating holes gather for this carrier pocket 25. Drawing shows the condition that the optical generating hole is accumulated in the carrier pocket 25. An optical generating hole is accumulated in the carrier pocket 25 at the following figure of drawing 2, and potential drawing in the condition that induction of the electron was carried out to the channel field, and the reversal field is generated is shown. moreover, the well under a channel field -- the element structure section of a near [the carrier pocket 25 in a field 15] and the details of potential drawing are shown in drawing 3.

[0046] Next, with reference to drawing 6 (a) and (b), the configuration of the whole CMOS image sensors using the unit pixel of the above-mentioned structure is explained. Drawing 6 (a) shows circuitry drawing of the CMOS image sensors in the gestalt of operation of this invention. As shown in drawing 6 (a), these CMOS image sensors have taken the configuration of a two-dimensional array sensor, and they are arranged so that the unit pixel of the above-mentioned structure may be located in a line with the direction of a train, and a line writing direction in the shape of a matrix.

[0047] Moreover, the drive scanning circuit 102 of a vertical-scanning signal (VSCAN) and the drive scanning circuit 103 of drain voltage (VDD) are arranged across the pixel field at the right and left. the drain voltage supply lines 22a and 22b which have come out from the drive scanning circuit 103 of drain voltage (VDD) for every line are connected to every one drain of MOS transistor 112 in all the unit pixels 101 located in a line with a line writing direction for every line, respectively. furthermore, the vertical-scanning signal supply lines 21a and 21b which have come out from the drive scanning circuit 102 of a vertical-scanning signal (VSCAN) to every one gate of MOS transistor 112 in all the unit pixels 101 located in a line with a line writing direction for every line for every line are connected, respectively.

[0048] Moreover, the source of MOS transistor 112 in all the unit pixels 101 located in a line in the direction of a train for every train is connected to different perpendicular output lines 20a and 20b for every train. Each perpendicular output lines 20a and 20b are connected to every one drains (photodetection signal input terminal) 28a and 29a of MOS transistors 105a and 105b as a different switch for every train. The gates (horizontal scanning signal input terminal) 28b and 29b of each switches 105a and 105b are connected to the drive scanning circuit 104 of a horizontal scanning signal (HSCAN).

[0049] Moreover, the sources (photodetection signal output terminal) 28c and 29c of each switches 105a and 105b are connected to the video signal output 107 through the common constant current source 106. That is, it connects with a constant current source 106, and the source of MOS transistor 112 in each unit pixel 101 forms the source follower circuit of a pixel unit. Therefore, the potential difference between the gate-sources of each MOS transistor 112 and the potential difference between the bulk-sources are determined by the connected constant current source (load circuit) 106.

[0050] Reading appearance of the video signal (Vout) which drove MOS transistor 112 of **** and each unit pixel, and is proportional to the amount of incidence of light with a vertical-scanning signal (VSCAN) and a horizontal scanning signal (HSCAN) is carried out. As mentioned above, since the unit pixel 101 consists of light-receiving diode 111 and MOS transistor 112, the portion of a pixel can be created using a CMOS technology. Therefore, all of the above-mentioned pixel portion, and the drive scanning circuits 102-104 and a constant current source 106 grade circumference circuit can be created to the same semiconductor substrate.

[0051] Drawing 6 (b) shows the timing chart of each I/O signal for operating the CMOS image sensors concerning this invention. the well of p mold -- using a field 15, when the transistor 112 for lightwave signal detection is nMOS, it applies. Element actuation is a **** period (initialization)-are recording period-read-out period-**** period (initialization). - It carries out repeatedly like ..

[0052] this time -- actuation of a solid state image sensor -- following -- the well of the unit pixel 101 -- signs that the potential in a field 15 changes are also explained to coincidence, referring to drawing 7 , drawing 8 , and potential drawing of drawing 9 . Furthermore, it explains to coincidence, referring to the graph shown in drawing 10 about the current-voltage characteristic of MOS transistor 112 for lightwave signal detection in the unit pixel 101.

[0053] In drawing 7 thru/or drawing 9 , an axis of ordinate expresses potential and a horizontal axis expresses the depth from the substrate surface. Moreover, drawing 7 (a), drawing 8 (a), and drawing 9 (a) express the potential distribution in D-D line cross section of drawing 4 in a **** period (initialization), an are recording period, and a read-out period, respectively. Furthermore, drawing 7 (b), drawing 8 (b), and drawing 9 (b) express the potential distribution in the E-E line cross section of drawing 5 in a **** period (initialization), an are recording period, and a read-out period, respectively.

[0054] First, a **** period is a period which discharges residual charge before read-out of a lightwave signal, such as an electron hole, an electron, etc. which carbonate an optical generating charge, an acceptor, a donor, etc. whom read-out finished, or are captured by surface level, out of a semiconductor, before accumulating an optical generating charge (hole). That is, this actuation is called substrate **** actuation (initialization actuation).of an optical generating charge, and it is carried out per line.

[0055] Initialization actuation is performed for making the carrier pocket 25 the next are recording period in the sky, and accumulating a new optical generating charge. That is, it is for preventing the noise according only the accumulated optical generating charge to ejection and residual charge as a video signal. In this case, larger voltage than the usual operating voltage is impressed to drain diffusion field 17a, the gate electrode 19, and the source diffusion field 16. That is, the voltage of abbreviation +5V is supplied to the VDD supply lines 22a and 22b, it is impressed by drain diffusion field 17a, the voltage of abbreviation +5V is supplied to the VSCAN supply lines 21a and 21b, and it is impressed by the gate electrode 19. Moreover, since a channel field flows by impressing the voltage of abbreviation +5V to the gate electrode 19, the voltage of abbreviation +5V impressed to drain diffusion field 17a is impressed to the source diffusion field 16 as it is.

[0056] As shown in drawing 7 (a) and (b), the reverse bias of the pn junction is carried out, the electric

field in the well field 15 let N field and P field pass, and this voltage impression is p+. It is made suitable in the substrate 11 direction of a mold. thereby -- a well -- a field 15 -- the hole which remains in a semiconductor in addition to this -- p+ It is discharged by the substrate 11 of a mold and an electron is discharged from the source diffusion field 16 or the drain diffusion field 17. Although a transistor cannot make an optical generating charge discharge from the carrier pocket 25 on the gate voltage and drain voltage which can operate by the saturation state when the optical generating charge is especially accumulated in the carrier pocket 25, an optical generating charge can be made to discharge from the carrier pocket 25 by impressing about [5V] still higher gate voltage and drain voltage.

[0057] after residual charge was discharged -- a well -- a field 15 is in the condition of having depletion-ized. Since initialization which was described above does not produce residual charge, the thermal noise (kTC noise) by the thermal fluctuation of a carrier does not occur, but it is ideal. In addition, in this initialization actuation, since there is no current pass, the booster circuit carried on chip can use it easily.

[0058] next, an are recording period generates an optical generating charge by optical exposure -- making -- the optical generating charge -- the well under a channel field -- it is the period stored up in the carrier pocket 25 in a field 15. In addition, in this are recording period, the electronic shutter actuation by the horizontal scanning time basis is also possible. about [in this case, / to which it lets the VDD supply lines 22a and 22b pass, and an MOS transistor can operate before an optical exposure to the drain diffusion field 17 of MOS transistor 112 in all the unit pixels 101] -- while impressing the voltage which is about +2-3V, it lets the VSCAN supply lines 21a and 21b pass, and low voltage to which an MOS transistor maintains a cut-off condition to the gate of MOS transistor 112 for every train is impressed. Thus, are recording of an optical generating charge is performed for every sensor train arranged on each horizontal scanning signal line.

[0059] By the voltage impression to drain diffusion field 17a, the majority carrier in the well field 15 of p mold (electron hole) is p+. Since it is swept out at the substrate 11 side of a mold, the inside of the well field 15 is depletion-ized, and the negative space charge layer which consists of an acceptor exists. if light is irradiated to a pixel field in this condition -- the well of the light-receiving diode 111 -- an electronic-electron hole pair occurs to a field 15.

[0060] Here, since the gate voltage of MOS transistor 112 is set up low, an optical generating electron is discharged by drain voltage from the drain diffusion field 17 among optical generating charges. On the other hand, the low potential of the source diffusion field 16 lengthens, it moves to the direction of the source diffusion field 16, and an optical generating hole is accumulated in the carrier pocket 25 which is the lowest [potential]. This condition is shown in drawing 8 (a) and (b).

[0061] migration of the optical generating hole in an are recording period -- the well of p mold -- since it is carried out only in a field 15, on the occasion of migration of an optical generating hole, it is not influenced of the semiconductor surface, and a noise component is not generated. By the way, when the surface of a transistor has DEPURESHON-ized, an obstruction will exist to a hole.

[0062] Since the surface is filled with the photograph gate electrode structure where it is used by other methods by the optical generating charge as shown in drawing 11 (c), the surface is equilibrated and dark current generating by thermal excitation and the potential modulation by the parasitism hole storage pose a problem. On the other hand, in the gestalt of this operation, as the channel field of a transistor is shown in drawing 11 (a), a depletion condition is held after initialization. And since the gate of a transistor and its circumference are shaded as shown in drawing 11 (b), it does not come to form a superfluous carrier layer. Therefore, the carrier temporarily captured on the surface does not overcome an obstruction, either, carries out it, and it does not serve as the dark current, and the noise component from the surface can be controlled.

[0063] A read-out period is a period which reads the video signal (Vout) based on the accumulated optical generating charge. MOS transistor 112 for lightwave signal detection is operated as a source follower circuit, and a video signal (Vout) is outputted. In this case, while impressing about [+2-3V] voltage to the drain of MOS transistor 112 about for every line by the VDD supply lines 22a and 22b so that MOS transistor 112 may operate by the saturation state, about [+2-3V.] voltage is about impressed

to the gate of MOS transistor 112 for every train by the VSCAN supply lines 21a and 21b. Furthermore, a constant current source 106 is connected to the source of MOS transistor 112 for lightwave signal detection, and fixed current is passed.

[0064] By the way, the optical generating charge is accumulated into the carrier pocket 25 in the recording period in front of this read-out period. If an optical generating charge is accumulated into the carrier pocket 25, a Fermi level changes according to an accumulated dose, and space charge will bring about the fall of the threshold voltage of a transistor in order to decrease in number: A reversal field is formed on the carrier pocket 25 of the conservation of charge at coincidence, the electron of the same amount as the amount of the optical generating hole accumulated into the carrier pocket 25 in the reversal field increases, and channel conductance increases.

[0065] In this case, the surface potential on the carrier pocket 25 serves as about 1 constant value in the direction of gate length, and the electron which is a carrier is distributed over a reversal field by uniform density. On the other hand, in the drain diffusion field 17a side, since space charge density is low, it is not generated on the surface but a high electric-field field produces a reversal field on it. Thus, since the reversal field was generated to a part of channel field and the high electric-field field is generated into other portions, as shown in drawing 10, actuation of MOS transistor 112 for lightwave signal detection by the saturation state is attained.

[0066] Therefore, if the usual operating voltage is impressed to each electrode of MOS transistor 112 for lightwave signal detection, a transistor 112 will operate by the saturation state. Since the transistor 112 forms the source follower circuit by constant current actuation at this time, as shown in drawing 9 (a) and (b), source potential becomes high, in order to decrease the potential difference between the gate-sources so that fixed current may flow to a transistor 112 according to a negative feedback operation. Change of this source potential is outputted to the video signal output 107.

[0067] In addition, the above-mentioned read-out actuation may be understood as follows. That is, as shown in drawing 10, in order that MOS transistor 112 for lightwave signal detection may operate in a saturation region, the potential difference between the drain-sources is determined by the potential under the gate electrode 19, and the electric field of source diffusion field 16 direction exist in the well field 15 of p mold according to the potential difference.

[0068] Therefore, although an optical generating hole changes the Fermi potential of the source diffusion field 16 neighborhood to a positive direction, since the current value is determined by the constant current source 106, the potential barrier height by the side of the source is saved. For this reason, as shown in drawing 9 (a) and (b), in source potential (VS), the change for the potential difference of the space charge layer carbonated by impregnation of an optical generating hole appears. That is, bulk potential can be changed with the amount of optical generating holes, and a source follower output can be changed.

[0069] Thereby, the video signal (Vout) proportional to an optical exposure can be acquired. In this case, since a fluctuated part of the charge of an optical generating hole and a reversal field is balanced, the amount of charges by the optical generating hole is equivalent to the charge to gate insulator layer 18 capacity, and a changed part of threshold voltage is outputted. Here, as shown in drawing 12 (a) and (b), since the charge to gate insulator layer 18 capacity is limited to gate insulator layer 18 capacity on the carrier pocket 25, it can determine detection sensitivity with the area and the depth of gate oxidation thickness and the carrier pocket 25. Moreover, since an optical generating hole is accumulated in a limited field called the carrier pocket 25, conversion efficiency is also good.

[0070] And since it can consider that most of this detection capacity is fixed capacity, the high sensitivity detection which was extremely excellent in the linearity of the transfer characteristics of charge-voltage conversion is attained. Next, according to drawing 6 (a) and (b), photodetection actuation of the solid state image sensor with which a single string continued is explained briefly. namely, initialization actuation -- a well -- the charge which remains in the semiconductor layer of a field or others is discharged.

[0071] Subsequently, low gate voltage is impressed to the gate electrode 19 of a transistor, and the voltage (VDD) of the abbreviation 2-3V required for actuation of a transistor is impressed to drain

diffusion field 17a. this time -- a well -- a field 15 is depletion-ized and the electric field which go to the source diffusion field 16 produce it from drain diffusion field 17a. If an electronic-hole pair (optical generating charge) arises by optical exposure, an optical generating hole will be poured into a gate field among this optical generating charge by the above-mentioned electric field, and it will be accumulated in the carrier pocket 25. While the depletion-layer width of face which spreads in a substrate 11 side from a channel field is restricted by this, the potential of the source diffusion field 16 neighborhood is modulated, and the threshold voltage of MOS transistor 112 is changed.

[0072] Here, the gate voltage of the abbreviation 2-3V to which MOS transistor 112 can operate by the saturation state is impressed to the gate electrode 19, and the voltage VDD which is the abbreviation 2-3V to which MOS transistor 112 can operate to drain diffusion field 17a is impressed. Thereby, the reversal field of low electric field is formed in a part of channel field, and a high electric-field field is formed in the remaining portion.

[0073] Furthermore, a constant current source 106 is connected to the source diffusion field 16 of MOS transistor 112, and fixed current is passed. Thereby, a source follower circuit is formed, therefore it follows in footsteps of fluctuation of the threshold voltage of the MOS transistor by the optical generating hole, source potential changes, and MOS transistor 112 brings about change of output voltage. Thereby, the video signal (Vout) proportional to an optical exposure can be taken out.

[0074] As mentioned above, according to the gestalt of implementation of this invention, in a series of processes of ***** (initialization)-are recording actuation-read-out actuation, when an optical generating hole moves, the ideal photo-electric-conversion device which does not interact with the noise source in the semiconductor surface or a channel field can be realized. moreover, the carrier pocket 25 -- the part under a channel field -- since it has prepared in the field, a part of channel field can be made into a reversal field, and the remaining portion can be made into a high electric-field field. Thereby, as shown in drawing 10, a transistor can be operated by the saturation state. And since the source follower circuit is formed, change of the threshold voltage by the optical generating charge is detectable as change of source potential. For this reason, photo electric conversion with sufficient linearity can be performed.

[0075] In addition, in the case of the BCMD mold solid state image sensor of the conventional example shown in drawing 13 (b), the current-voltage characteristic turns into a triode property and actuation by the saturation state is difficult for it. For this reason, it can be said that it is difficult to perform photo electric conversion with sufficient linearity. Furthermore, since the light-receiving diode 111 and MOS transistor 112 for lightwave signal detection are formed separately, deterioration of the spectral sensitivity characteristic by multiplex interference like the optical exposure to a photograph gate electrode can be prevented.

[0076] Moreover, since an element configuration can be performed in the simple combination of the light-receiving diode 111 and MOS transistor 112 for lightwave signal detection, a numerical aperture can be improved. Furthermore, gate voltage can be changed and a fixed pattern noise can be controlled taking advantage of the property that the gain and source capacity of a source follower can be adjusted. in addition -- the gestalt of the above-mentioned implementation -- the well of p mold -- a field 15 -- p+ although the carrier pocket 25 of a mold was formed, the hole was accumulated and the nMOS transistor (MOS transistor for lightwave signal detection) 112 has detected the lightwave signal -- the well of n mold -- a field -- using -- n+ The carrier pocket of a mold is prepared, an electron is accumulated and you may make it a pMOS transistor (MOS transistor for lightwave signal detection) detect a lightwave signal.

[0077] Moreover, he is trying to impress the voltage of abbreviation +5V which were made to flow through a channel field and were impressed to drain diffusion field 17a to the source diffusion field 16 as it is in drawing 6 (a) which shows the configuration of the whole solid state image sensor by impressing the voltage of abbreviation +5V to the gate electrode 19 in a **** period. However, a power supply with which only a **** period supplies the voltage of abbreviation +5V to the source diffusion field 16 through a switch means may be independently connected to the source diffusion field 16.

[0078] Furthermore, in drawing 6 (a) which shows the configuration of the above-mentioned whole

solid state image sensor, although the constant current source is used as a load circuit, volume load may be used. In this case, if the source potential of the transistor 112 for lightwave signal detection changes with are recording of an optical generating charge, since capacity will be charged by that change, that charge voltage can be taken out as a video signal. Moreover, it is possible to use the load circuit of others which have a high impedance which forms the source follower other than a constant current source or volume load.

[0079]

[Effect of the Invention] as mentioned above, the solid state image sensor of the threshold voltage modulation technique concerning this invention -- setting -- a well -- the light-receiving diode and the insulated gate field effect transistor which share a field -- having -- and the well under the channel field of a transistor -- it has the high concentration buried layer (carrier pocket) near the source diffusion field in a field.

[0080] For this reason, the interior of a semiconductor can be moved, the optical generating charge generated in the light-receiving diode section can be stored up in a high concentration buried layer, and the threshold voltage of a transistor can be changed. Therefore, thermal noise (kTC noise), a semiconductor surface capture noise, etc. can be controlled until it results in **** (initialization) of residual charge, photo electric conversion, are recording, and voltage conversion. Thereby, the solid state image sensor of a low noise can be offered, and the engine performance of MOS mold image sensors can be improved beyond the engine performance of CCD mold image sensors.

[0081] moreover, a high concentration buried layer -- the part under a channel field -- since it has prepared in the field, a part of channel field can be made into a reversal field, and the remaining portion can be made into a high electric-field field. Thereby, a transistor can be operated by the saturation state. And since the source follower circuit which connected the load circuit of the high impedance represented with a constant current drive is formed, change of the threshold voltage by the optical generating charge is detectable as change of source potential. For this reason, photo electric conversion with sufficient linearity can be performed.

[0082] Furthermore, since an element configuration can be performed in the simple combination of light-receiving diode and the MOS transistor for lightwave signal detection, a numerical aperture can be improved. Moreover, gate voltage can be changed and a fixed pattern noise can be controlled taking advantage of the property that the gain and source capacity of a source follower can be adjusted. Furthermore, with the existing CMOS process technology, since manufacture of a light sensing portion is possible, a circumference circuit can also be created to the same substrate very cheaply.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A solid state image sensor with which two or more arrays of the unit pixel equipped with light-receiving diode and an insulated gate field effect transistor for lightwave signal detection characterized by providing the following were carried out a well of one conductivity type with which said light-receiving diode was formed in a semiconductor layer of an opposite conductivity type on a semiconductor substrate of one conductivity type -- a field said well -- an impurity diffusion field of an opposite conductivity type formed in a surface of a field -- having -- said insulated gate field effect transistor -- said well -- a drain diffusion field of an opposite conductivity type formed in a surface of a field in one with said impurity diffusion field said well -- a source diffusion field of an opposite conductivity type which kept said drain diffusion field and gap in a surface of a field, and was formed in it a well between said drain diffusion field and said source diffusion field -- a well under a gate electrode formed through a gate insulator layer on a field, and said gate electrode -- a well under a channel field where a current carrier of a surface of a field moves and which has an impurity layer of an opposite conductivity type, and said channel field -- the neighborhood of a source diffusion field in a field -- said well -- a high-concentration buried layer of one conductivity type which has high impurity concentration higher than a field

[Claim 2] Said high concentration buried layer is a solid state image sensor according to claim 1 characterized by being formed over the channel width direction whole region.

[Claim 3] The neighborhood of said source diffusion field is a solid state image sensor according to claim 1 or 2 characterized by for the direction of channel length from said drain diffusion field to said source diffusion field being a field a part, and being said source diffusion field side.

[Claim 4] said gate electrode -- the shape of a ring -- having -- said source diffusion field -- said well of a center section of said gate electrode -- it is formed in a surface of a field and said drain diffusion field surrounds said gate electrode -- as -- said well -- it is formed in a surface of a field and said high concentration buried layer surrounds said source diffusion field -- as -- said well -- a solid state image sensor according to claim 1 to 3 characterized by being formed in a field.

[Claim 5] A gate electrode of said insulated gate field effect transistor and its circumference are a solid state image sensor according to claim 1 to 4 characterized by being shaded.

[Claim 6] A solid state image sensor according to claim 1 to 5 characterized by connecting a load circuit to a source diffusion field of said insulated gate field effect transistor, and constituting a source follower circuit.

[Claim 7] A source mode output of said source follower circuit is a solid state image sensor according to claim 6 characterized by connecting with a video signal output.

[Claim 8] Said unit pixel is a solid state image sensor according to claim 1 to 7 characterized by having stood in a line in a line writing direction and the direction of a train.

[Claim 9] A solid state image sensor according to claim 8 characterized by providing the following. A drain voltage supply line which both drain diffusion fields of an insulated gate field effect transistor of each of said unit pixel on a par with said line writing direction are connected, and sends drain voltage for

said every line A vertical-scanning signal supply line which both gate electrodes of an insulated gate field effect transistor of each of said unit pixel on a par with said line writing direction are connected, and tells a vertical-scanning signal for said every line Two or more perpendicular output lines to which both source diffusion fields of an insulated gate field effect transistor of each of said unit pixel located in a line in said direction of a train were connected and which were prepared for said every train A photodetection signal input terminal to which said each perpendicular output line was connected, respectively, and a photodetection signal output terminal, A switch which has a horizontal scanning signal input terminal and was formed for said every train, Common water Hiraide line of force to which both photodetection signal output terminals of each of said switch were connected, A horizontal scanning signal supply line which tells a horizontal scanning signal which chooses one of said two or more perpendicular output lines to a horizontal scanning signal input terminal of said switch, A drain voltage drive scanning circuit which said drain voltage supply line is connected and supplies drain voltage alternatively for every line, A vertical-scanning signal drive scanning circuit which said vertical-scanning signal supply line is connected, and supplies a vertical-scanning signal alternatively for every line, A horizontal scanning signal drive scanning circuit which said horizontal scanning signal supply line is connected, and supplies a horizontal scanning signal alternatively for every train, A video signal output which was connected to said water Hiraide line of force, and was connected to a load circuit which forms a source follower among said one insulated gate field effect transistor chosen by said drive scanning circuit, and a source mode output of said source follower

[Claim 10] Said solid state image sensor is a solid state image sensor according to claim 1 to 9 characterized by being formed in said one semiconductor substrate.

[Claim 11] an optical exposure -- a well of p mold -- inside of an electron generated in a field, and an electron hole -- this optical generating electron hole -- said well -- it was embedded near a source diffusion field of n mold of an insulated gate field effect transistor formed in a field -- said well -- a lightwave signal detection method by solid state image sensor characterized by changing a threshold of said insulated gate field effect transistor with an amount of an optical generating electron hole which was made to draw and accumulate in a high concentration buried layer of high-concentration p mold rather than a field, and was this accumulated, and detecting variation of this threshold as light income.

[Claim 12] an optical exposure -- a well of n mold -- inside of an electron generated in a field, and an electron hole -- this optical generating electron -- said well -- it was embedded near a source diffusion field of p mold of an insulated gate field effect transistor formed in a field -- said well -- a lightwave signal detection method by solid state image sensor characterized by changing a threshold of said insulated gate field effect transistor with an amount of an optical generating electron which was made to lead and accumulate in a high concentration buried layer of high-concentration n mold rather than a field, and was this accumulated, and detecting variation of this threshold as light income.

[Claim 13] In a lightwave signal detection method by solid state image sensor according to claim 1 to 10 A field and said high concentration buried layer are p molds. said semiconductor substrate and said well -- Said semiconductor layer, said impurity diffusion field, said drain diffusion field, and said source diffusion field are n molds. Voltage higher than operating voltage is impressed to said impurity diffusion field, said drain diffusion field, said gate electrode, and said source diffusion field. said well -- an electron hole in a field and said high concentration buried layer to said semiconductor substrate A pixel is initialized by discharging an electron, respectively to said impurity diffusion field, said drain diffusion field, and said source diffusion field, and depletion-izing it to them. An electron hole and an electron are produced in a field. an optical exposure -- a well of said light-receiving diode -- Operating voltage is impressed to said impurity diffusion field and said drain diffusion field. And voltage to which potential of a gate field of said insulated gate field effect transistor becomes lower than potential of said light-receiving diode at said gate electrode is impressed. The inside of a field is moved and said optical generating electron hole is stored up in said high concentration buried layer. said optical generating electron hole -- said well -- While forming a reversal field of low electric field in the direction of channel length on said high concentration buried layer which impressed operating voltage to said drain diffusion field and said gate electrode, and said optical generating electron hole accumulated A high

electric-field field is formed in a channel field except said high concentration buried layer top in said direction of channel length. Operating voltage to which said insulated gate field effect transistor operates by saturation state to said drain diffusion field and said gate electrode is impressed. By having formed said insulated gate field effect transistor in a source follower, and having accumulated said optical generating electron hole in said high concentration buried layer, change of threshold voltage of said insulated gate field effect transistor A lightwave signal detection method by solid state image sensor characterized by detecting a signal by changing into potential change of a source diffusion field of said insulated gate field effect transistor.

[Claim 14] In a lightwave signal detection method by solid state image sensor according to claim 1 to 10 A field and said high concentration buried layer are n molds. said semiconductor substrate and said well -- Said semiconductor layer, said impurity diffusion field, said drain diffusion field, and said source diffusion field are p molds. Larger voltage to a negative side than operating voltage is impressed to said impurity diffusion field, said drain diffusion field, said gate electrode, and said source diffusion field. said well -- an electron in a field and a high concentration buried layer -- said semiconductor layer -- an electron hole -- said impurity diffusion field -- A pixel is initialized by discharging to said drain diffusion field and said source diffusion field, respectively, and depletion-izing to them. An electron hole and an electron are produced in a field. an optical exposure -- a well of said light-receiving diode -- Operating voltage is impressed to said impurity diffusion field and said drain diffusion field. And voltage to which potential of a gate field of said insulated gate field effect transistor becomes higher than potential of said light-receiving diode at said gate electrode is impressed. The inside of a field is moved and said optical generating electron is stored up in said high concentration buried layer. said optical generating electron -- said well -- While forming a reversal field of low electric field on said high concentration buried layer which impressed operating voltage to said drain diffusion field and said gate electrode, and said optical generating electron accumulated Form a high electric-field field in a channel field except said high concentration buried layer top, and operating voltage to which said insulated gate field effect transistor operates by saturation state to said drain diffusion field and said gate electrode is impressed. Change of threshold voltage of said insulated gate field effect transistor by having formed said insulated gate field effect transistor in a source follower, and said optical generating electron having been accumulated in said high concentration buried layer A lightwave signal detection method by solid state image sensor characterized by detecting a signal by changing into potential change of a source diffusion field of said insulated gate field effect transistor.

[Translation done.]

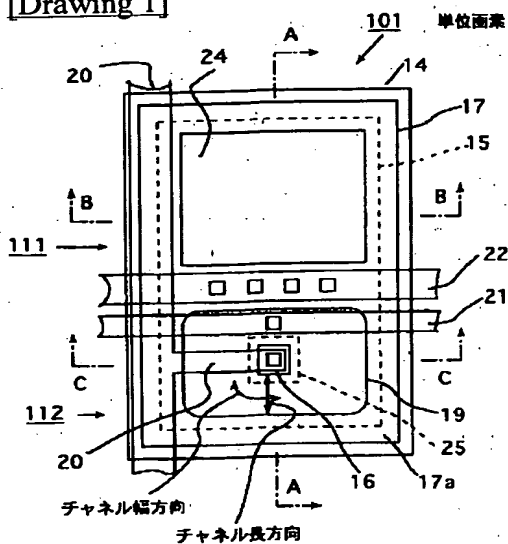
*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

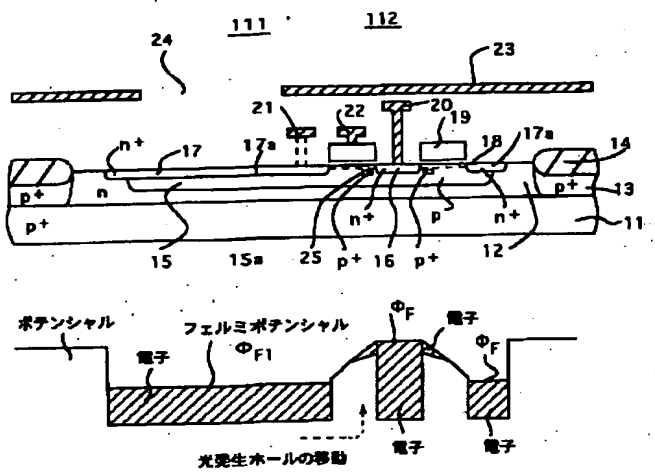
DRAWINGS

[Drawing 1]



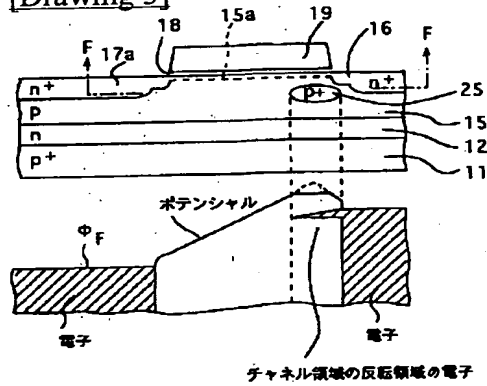
- | | |
|---------------|-----------------------|
| 14: フィールド効果層 | 20: 垂直出力部 |
| 15: ウェル領域 | 21: VSCAN供給線 |
| 16: ソース拡散領域 | 22: VDD供給線 |
| 17: 不純物拡散領域 | 24: 受光窓 |
| 17a: ドレイン拡散領域 | 25: キャリアポケット (高濃度埋込層) |
| 19: ゲート電極 | 111: 受光ダイオード |
| | 112: 光信号検出用MOSTランジスタ |

[Drawing 2]

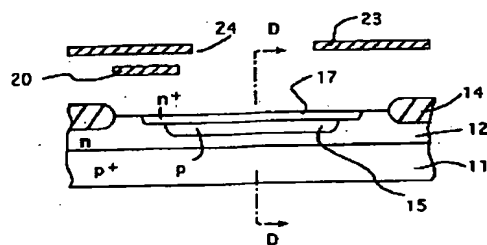


- 11: p+ 基板
- 12: n 型層
- 13: 素子分離拡散領域
- 23: 遮光膜
- 15a: n型不純物層 (反対導電型の不純物層)

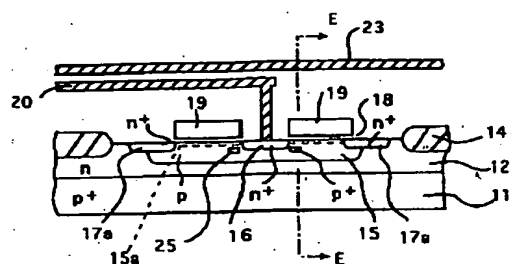
[Drawing 3]



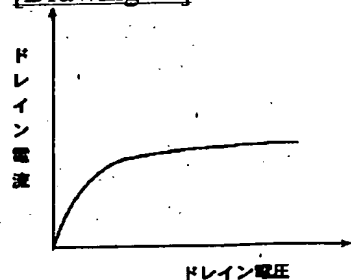
[Drawing 4]



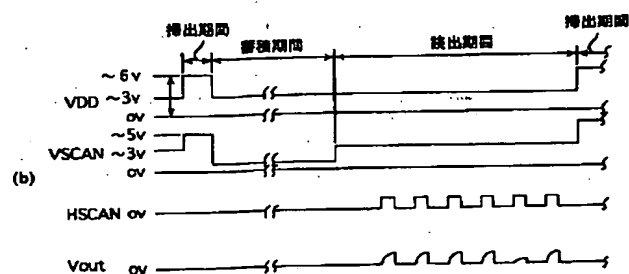
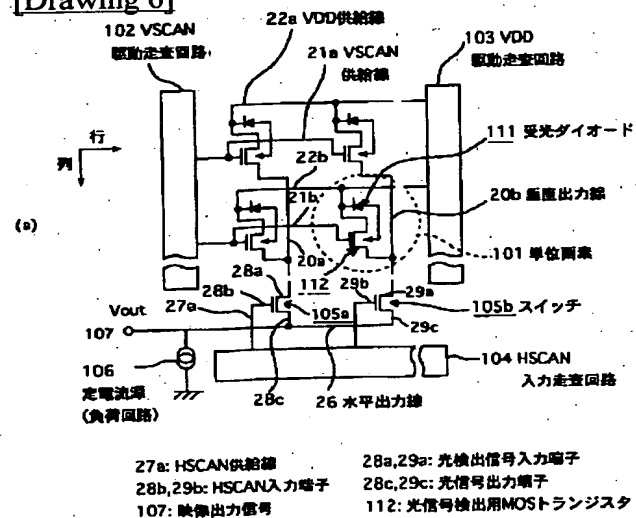
[Drawing 5]



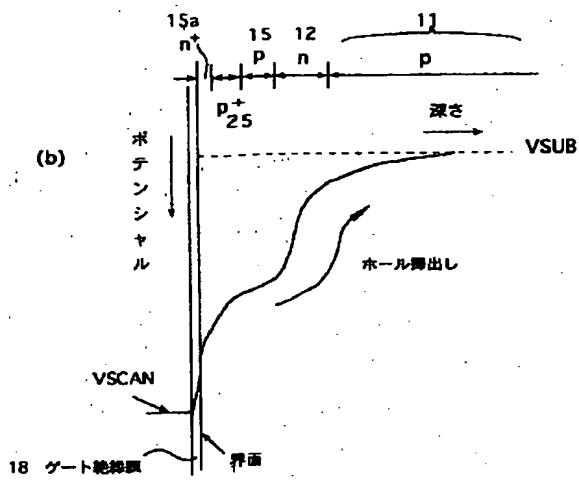
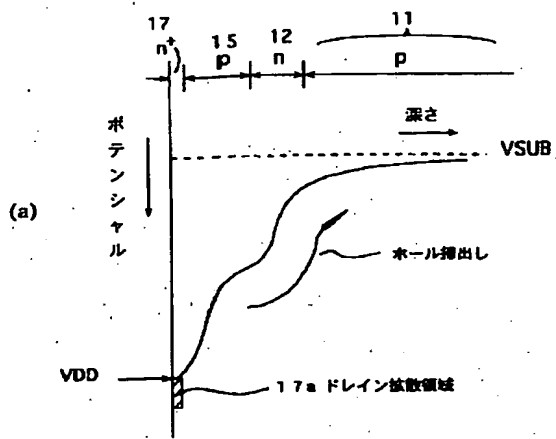
[Drawing 10]



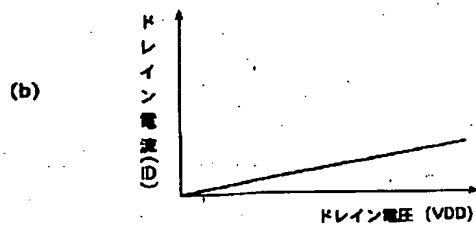
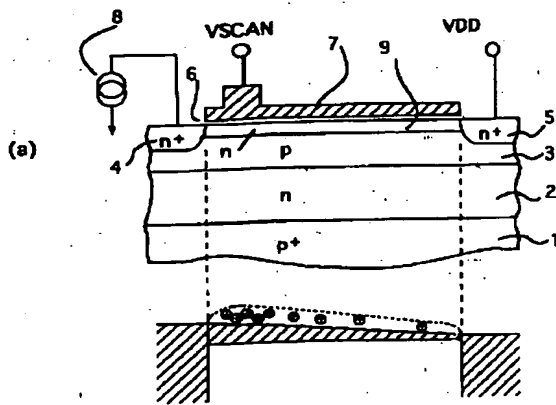
[Drawing 6]



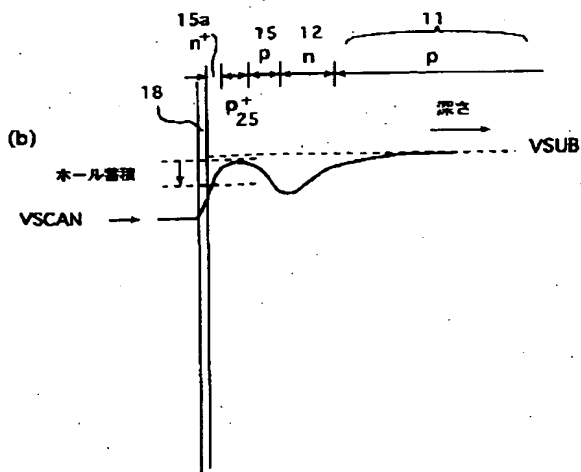
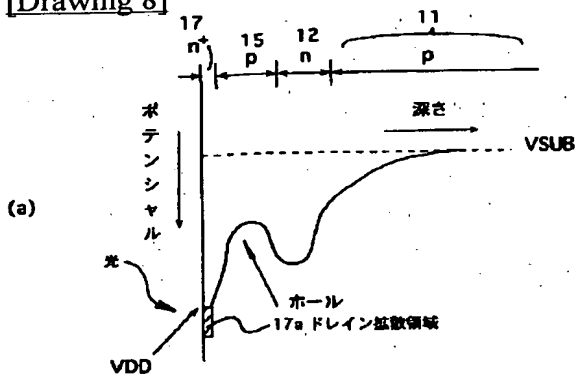
[Drawing 7]



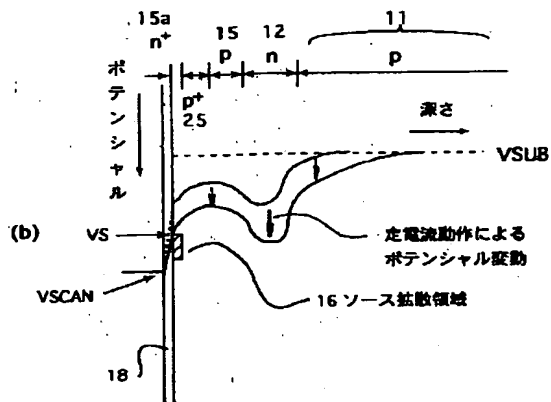
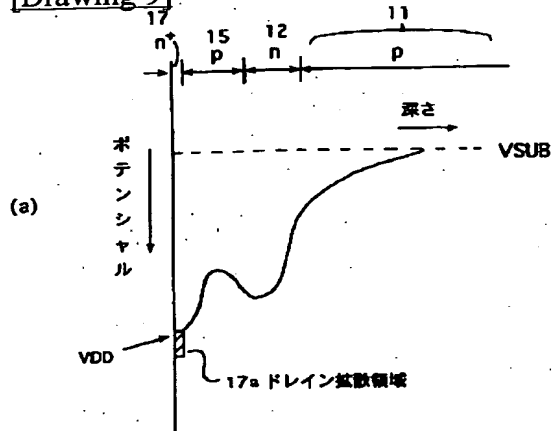
[Drawing 13]



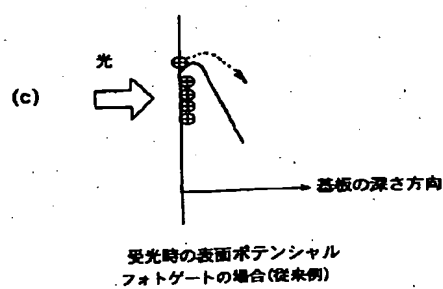
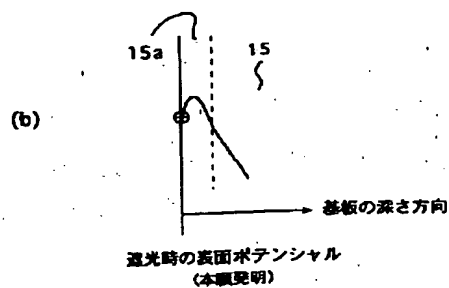
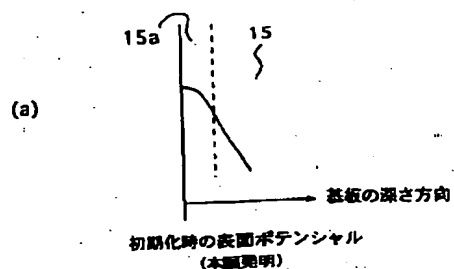
[Drawing 8]



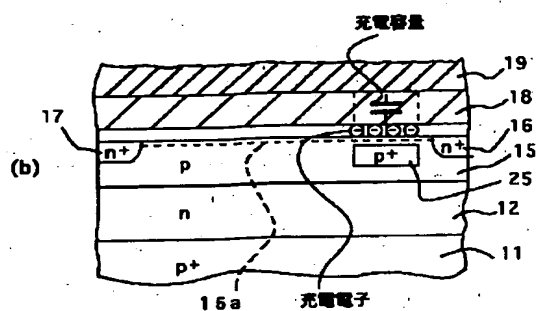
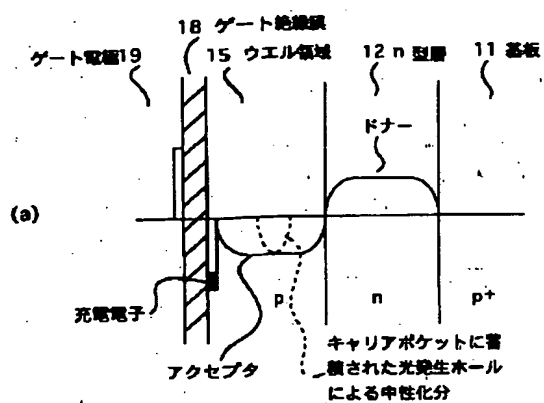
[Drawing 9]



[Drawing 11]



[Drawing 12]



[Translation done.]